

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/JP05/003193

International filing date: 25 February 2005 (25.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-053889  
Filing date: 27 February 2004 (27.02.2004)

Date of receipt at the International Bureau: 30 June 2005 (30.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2004年 2月 27日

出願番号 Application Number: 特願 2004-053889

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

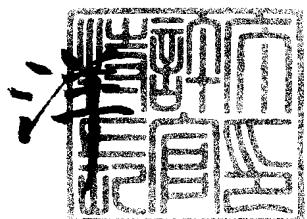
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

出願人 Applicant(s): 日本テキサス・インスツルメンツ株式会社  
須川 成利

2005年 6月 15日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



【書類名】 特許願  
【整理番号】 040020  
【提出日】 平成16年 2月27日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/14  
H04N 5/335

【発明者】  
【住所又は居所】 宮城県仙台市青葉区川内元支倉35 川内住宅2-102  
【氏名】 須川 成利

【特許出願人】  
【識別番号】 390020248  
【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【特許出願人】  
【識別番号】 503282079  
【氏名又は名称】 須川 成利

【代理人】  
【識別番号】 100094053  
【弁理士】  
【氏名又は名称】 佐藤 隆久

【手数料の表示】  
【予納台帳番号】 014890  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9102925

**【書類名】特許請求の範囲**

**【請求項 1】**

光を受光して光電荷を生成および蓄積するフォトダイオードと、

前記光電荷を転送する転送トランジスタと、

少なくとも前記転送トランジスタを介して前記フォトダイオードに接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子と

を有する画素がアレイ状に複数個集積された固体撮像装置。

**【請求項 2】**

前記転送トランジスタと前記蓄積容量素子の間に、

前記転送トランジスタを通じて前記光電荷が転送されるフローティングディフュージョンと、

前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを結合または分割する蓄積トランジスタと

をさらに有する請求項 1 に記載の固体撮像装置。

**【請求項 3】**

前記フローティングディフュージョンに接続して形成され、前記フローティングディフュージョン内の光電荷を排出するためのリセットトランジスタと、

前記フローティングディフュージョン内の光電荷を電圧信号に増幅変換する増幅トランジスタと、

前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタと

をさらに有する請求項 2 に記載の固体撮像装置。

**【請求項 4】**

前記蓄積容量素子に蓄積された光電荷を対数変換して読み出す対数変換回路を含む

請求項 3 のいずれかに記載の固体撮像装置。

**【請求項 5】**

前記フォトダイオードから溢れる光電荷を対数変換して前記蓄積容量素子に蓄積する対数変換回路を含む

請求項 3 のいずれかに記載の固体撮像装置。

**【請求項 6】**

前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板の表層部分に形成された下部電極となる半導体領域と、前記半導体領域上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する

請求項 1 に記載の固体撮像装置。

**【請求項 7】**

前記蓄積容量素子は、前記固体撮像装置を構成する基板上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する

請求項 1 に記載の固体撮像装置。

**【請求項 8】**

前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板に形成されたトレンチの内壁に形成された下部電極となる半導体領域と、前記トレンチの内壁を被覆して形成された容量絶縁膜と、前記容量絶縁膜を介して前記トレンチを埋め込んで形成された上部電極とを有する

請求項 1 に記載の固体撮像装置。

**【請求項 9】**

前記フローティングディフュージョンまたは前記フローティングディフュージョンおよび前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティングディフュージョンまたは前記フローティングディフュージョンおよび前記蓄積容量素子のリ

セットレベルの電圧信号との差分を取るノイズキャンセル回路をさらに有する

請求項 3 に記載の固体撮像装置。

**【請求項 10】**

前記フローティングディフェュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号を記憶するフレームメモリーをさらに有する

請求項 9 に記載の固体撮像装置。

**【請求項 11】**

前記フォトダイオード内の光電荷を転送する第 1 電荷結合転送路が前記フォトダイオードに接続して形成され、

前記蓄積容量素子が隣接する画素間で接続されて、前記第 1 電荷結合転送路とは別に前記蓄積容量素子内の光電荷を転送する第 2 電荷結合転送路を構成する

請求項 1 に記載の固体撮像装置。

**【請求項 12】**

前記フォトダイオードに接続して形成され、前記フォトダイオード内の光電荷を転送する電荷結合転送路と、

前記蓄積容量素子に接続して形成され、前記蓄積容量素子内の光電荷を排出するためのリセットトランジスタと、

前記蓄積容量素子内の光電荷を電圧信号に増幅変換する増幅トランジスタと、

前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタと

をさらに有する請求項 1 に記載の固体撮像装置。

**【請求項 13】**

前記画素を構成するトランジスタが n チャネル MOS トランジスタである

請求項 1 ~ 12 のいずれかに記載の固体撮像装置。

**【請求項 14】**

前記画素を構成するトランジスタが p チャネル MOS トランジスタである

請求項 1 ~ 12 のいずれかに記載の固体撮像装置。

**【請求項 15】**

光を受光して光電荷を生成および蓄積するフォトダイオードと、

前記光電荷を転送する転送トランジスタと、

前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子と

を有する画素が直線状に複数個集積されたラインセンサ。

**【請求項 16】**

光を受光して光電荷を生成および蓄積するフォトダイオードと、

前記光電荷を転送する転送トランジスタと、

前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子と

を有する光センサ。

**【請求項 17】**

光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティングディフェュージョンと、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティングディフェュージョンとのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、

電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオン

として、前記フローティングディフュージョンおよび前記蓄積容量素子内の光電荷を排出する工程と、

前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、

前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程と、

前記蓄積トランジスタをオフとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを分割し、前記フローティングディフュージョン内の光電荷を排出する工程と、

前記フローティングディフュージョンのリセットレベルの電圧信号を読み出す工程と、

前記転送トランジスタをオンとして前記飽和前電荷を前記フローティングディフュージョンに転送し、前記飽和前電荷の電圧信号を読み出す工程と、

前記蓄積トランジスタをオンとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程と

を有する固体撮像装置の動作方法。

#### 【請求項 18】

前記飽和前電荷の電圧信号と前記フローティングディフュージョンのリセットレベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、

基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程と

をさらに有する請求項 17 に記載の固体撮像装置の動作方法。

#### 【請求項 19】

前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する

請求項 17 に記載の固体撮像装置の動作方法。

【書類名】明細書

【発明の名称】固体撮像装置、ラインセンサ、光センサおよび固体撮像装置の動作方法

【技術分野】

【0001】

本発明は固体撮像装置、ラインセンサ、光センサおよび固体撮像装置の動作方法に関し、特にCMOS型あるいはCCD型の固体撮像装置、ラインセンサおよび光センサと、当該固体撮像装置の動作方法に関する。

【背景技術】

【0002】

CMOS(Complementary Metal-Oxide-Semiconductor)イメージセンサあるいはCCD(Charge Coupled Device)イメージセンサなどの画像入力イメージセンサは、その特性向上とともに、例えばデジタルカメラやカメラ付き携帯電話などの用途で需要が拡大してきている。

【0003】

上記のイメージセンサは、さらなる特性向上が望まれており、その一つがダイナミックレンジを広くすることである。

従来用いられているイメージセンサのダイナミックレンジは、例えば3～4桁(60～80dB)程度に留まっており、肉眼あるいは銀塩フィルムの5～6桁(100～120dB)には及んでいないのが現状である。

そこで、肉眼あるいは銀塩フィルムと同等の5～6桁(100～120dB)のダイナミックレンジを持つ高画質イメージセンサの開発が望まれている。このような広いダイナミックレンジを持つイメージセンサは、デジタルカメラやカメラ付き携帯電話などの他、PDA(Personal Digital Assistant)用画像入力カメラ、高度交通管理システム用カメラ、監視カメラ、FA(Factory Automation)用カメラあるいは医療用カメラなどの用途への応用が期待されている。

【0004】

上記のイメージセンサの特性を向上させる技術として、例えば、非特許文献1などに、高感度および高S/N比化するために、各画素(ピクセル)のフォトダイオードに発生するノイズと当該ノイズに光信号が加算された信号とをそれぞれ読み出し、両者の差分を取ることでノイズ成分を除去して光信号のみを取り出すオンチップノイズキャンセルと呼ばれる技術が開発されている。

しかし、この方法でもダイナミックレンジは80dB以下であり、これより広ダイナミックレンジ化することが望まれている。

【0005】

例えば、特許文献1には、図22に示すように、フォトダイオードPDに高感度低照度側の小容量C<sub>1</sub>のフローティングディフュージョンと低感度高照度側の大容量C<sub>2</sub>のフローティングディフュージョンを接続して、低照度側の出力out1と高照度側の出力out2をそれぞれ出力することで広ダイナミック化する技術が開示されている。

また、特許文献2には、図23に示すように、フローティングディフュージョンFDの容量C<sub>5</sub>を可変とし、低照度から高照度までをカバーして広ダイナミック化する技術が開示されている。

他には、短い露光時間による高照度に対応した撮像と、長い露光時間により低照度に対応した撮像の異なる露光時間で2回撮像する技術も開発されている。

【0006】

また、特許文献3には、図24に示すように、フォトダイオードPDとして容量Cを従来より大きなものを採用することで高照度撮像に対応できるようにする技術が開示されている。

また、非特許文献2には、図25に示すように、フォトダイオードPDからの信号を、MOSトランジスタを組み合わせて構成されている対数変換回路により、対数変換しながら出力することで、高照度撮像に対応できるようにする技術が開示されている。

## 【0007】

しかしながら、上記の特許文献1、2に記載の方法あるいは異なる露光時間で2回撮像する方法では、低照度側の撮像と高照度側の撮像を異なる時刻において行わなければならぬいため、動画を撮像すると両照度に対応した撮像の画像にズレが発生し、両画像を整合させることができなくなってしまうという問題がある。

## 【0008】

また、上記の特許文献3および非特許文献2に記載の方法では、高照度側の撮像に対応するようにして広ダイナミックレンジを達成できるものの、低照度側の撮像に関しては低感度、低S/N比となってしまい、画像の品質を向上させることはできない。

## 【0009】

上記のように、CMOSイメージセンサなどのイメージセンサにおいて、高感度高S/N比を維持したままで広ダイナミックレンジ化を達成することが困難となっていた。

また、上記のこととはイメージセンサに限ったことではなく、画素を直線状に配したラインセンサや複数の画素を持たない光センサとしても、高感度高S/N比を維持したままで広ダイナミックレンジ化を達成することは困難であった。

【特許文献1】特開2003-134396号公報

【特許文献2】特開2000-165575号公報

【特許文献3】特開平5-90556号公報

【非特許文献1】S. Inoue et al., IEEE Workshop on CCDs and Advanced Image Sensors 2001, page 16-19

【非特許文献2】映像情報メディア学会誌、57(2003)

## 【発明の開示】

### 【発明が解決しようとする課題】

#### 【0010】

本発明は上記の状況に鑑みてなされたものであり、本発明の目的は、高感度高S/N比を維持したままで広ダイナミックレンジ化できる固体撮像装置、ラインセンサおよび光センサと、高感度高S/N比を維持したままで広ダイナミックレンジ化するための固体撮像装置の動作方法を提供することである。

### 【課題を解決するための手段】

#### 【0011】

上記の目的を達成するため、本発明の固体撮像装置は、光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタと、少なくとも前記転送トランジスタを介して前記フォトダイオードに接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する画素がアレイ状に複数個集積されてなる。

#### 【0012】

上記の本発明の固体撮像装置は、光を受光して光電荷を生成および蓄積するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている構成の画素がアレイ状に集積されている。

#### 【0013】

上記の本発明の固体撮像装置は、好適には、前記転送トランジスタと前記蓄積容量素子の間に、前記転送トランジスタを通じて前記光電荷が転送されるフローティングディフェュージョンと、前記フローティングディフェュージョンと前記蓄積容量素子のポテンシャルを結合または分割する蓄積トランジスタとをさらに有する。

さらに好適には、前記フローティングディフェュージョンに接続して形成され、前記フローティングディフェュージョン内の光電荷を排出するためのリセットトランジスタと、前記フローティングディフェュージョン内の光電荷を電圧信号に増幅変換する増幅トランジスタと、前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタとをさらに有する。

#### 【0014】

またさらに好適には、前記蓄積容量素子に蓄積された光電荷を対数変換して読み出す対数変換回路を含む。

あるいはまたさらに好適には、前記フォトダイオードから溢れる光電荷を対数変換して前記蓄積容量素子に蓄積する対数変換回路を含む。

#### 【0015】

上記の本発明の固体撮像装置は、好適には、前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板の表層部分に形成された下部電極となる半導体領域と、前記半導体領域上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する。

あるいは好適には、前記蓄積容量素子は、前記固体撮像装置を構成する基板上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する。

あるいは好適には、前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板に形成されたトレチの内壁に形成された下部電極となる半導体領域と、前記トレチの内壁を被覆して形成された容量絶縁膜と、前記容量絶縁膜を介して前記トレチを埋め込んで形成された上部電極とを有する。

#### 【0016】

上記の本発明の固体撮像装置は、好適には、前記フローティングディフュージョンまたは前記フローティングディフュージョンおよび前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティングディフュージョンまたは前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル回路をさらに有する。

またさらに好適には、前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号を記憶するフレームメモリーをさらに有する。

#### 【0017】

上記の本発明の固体撮像装置は、好適には、前記フォトダイオード内の光電荷を転送する第1電荷結合転送路が前記フォトダイオードに接続して形成され、前記蓄積容量素子が隣接する画素間で接続されて、前記第1電荷結合転送路とは別に前記蓄積容量素子内の光電荷を転送する第2電荷結合転送路を構成する。

あるいは、好適には、前記フォトダイオードに接続して形成され、前記フォトダイオード内の光電荷を転送する電荷結合転送路と、前記蓄積容量素子に接続して形成され、前記蓄積容量素子内の光電荷を排出するためのリセットトランジスタと、前記蓄積容量素子内の光電荷を電圧信号に增幅変換する増幅トランジスタと、前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタとをさらに有する。

#### 【0018】

上記の本発明の固体撮像装置は、好適には、前記画素を構成するトランジスタがnチャネルMOSトランジスタである。あるいは好適には、前記画素を構成するトランジスタがpチャネルMOSトランジスタである。

#### 【0019】

また、上記の目的を達成するため、本発明のラインセンサは、光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタと、前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する画素が直線状に複数個集積されてなる。

#### 【0020】

上記の本発明のラインセンサは、光を受光して光電荷を生成および蓄積するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている構成の画素がライン状に集積されている。

#### 【0021】

また、上記の目的を達成するため、本発明の光センサは、光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタと、前記フォト

トダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する。

#### 【0022】

上記の本発明の光センサは、光を受光して光電荷を生成および蓄積するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている。

#### 【0023】

上記の目的を達成するため、本発明の固体撮像装置の動作方法は、光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティングディフェュージョンと、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティングディフェュージョンとのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティングディフェュージョンおよび前記蓄積容量素子内の光電荷を排出する工程と、前記フローティングディフェュージョンと前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフェュージョンおよび前記蓄積容量素子において蓄積する工程と、前記蓄積トランジスタをオフとして、前記フローティングディフェュージョンと前記蓄積容量素子のポテンシャルを分割し、前記フローティングディフェュージョン内の光電荷を排出する工程と、前記フローティングディフェュージョンのリセットレベルの電圧信号を読み出す工程と、前記転送トランジスタをオンとして前記飽和前電荷を前記フローティングディフェュージョンに転送し、前記飽和前電荷の電圧信号を読み出す工程と、前記蓄積トランジスタをオンとして、前記フローティングディフェュージョンと前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程とを有する。

#### 【0024】

上記の本発明の固体撮像装置の動作方法は、電荷蓄積前において、転送トランジスタをオフとし、蓄積トランジスタをオンとして、フローティングディフェュージョンおよび蓄積容量素子内の光電荷を排出し、フローティングディフェュージョンと蓄積容量素子のリセットレベルの電圧信号を読み出す。

次に、フォトダイオードで発生する光電荷のうち飽和前電荷をフォトダイオードに蓄積し、フォトダイオードから溢れる過飽和電荷をフローティングディフェュージョンおよび蓄積容量素子において蓄積する。

次に、蓄積トランジスタをオフとして、フローティングディフェュージョンと蓄積容量素子のポテンシャルを分割し、フローティングディフェュージョン内の光電荷を排出し、フローティングディフェュージョンのリセットレベルの電圧信号を読み出す。

次に、転送トランジスタをオンとして飽和前電荷をフローティングディフェュージョンに転送し、飽和前電荷の電圧信号を読み出す。

次に、蓄積トランジスタをオンとして、フローティングディフェュージョンと蓄積容量素子のポテンシャルを結合し、飽和前電荷と過飽和信号を混合し、飽和前電荷と過飽和信号の和の電圧信号を読み出す。

#### 【0025】

上記の本発明の固体撮像装置の動作方法は、好適には、前記飽和前電荷の電圧信号と前記フローティングディフェュージョンのリセットレベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティングディフェュージョンと前記蓄積容量素子のリセットレベル

の電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程とをさらに有する。

#### 【0026】

上記の本発明の固体撮像装置の動作方法は、好適には、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフェージョンおよび前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する。

#### 【発明の効果】

#### 【0027】

本発明の固体撮像装置によれば、光を受光して光電荷を生成および蓄積するフォトダイオードによる低照度撮像において高感度高S/N比を維持し、さらに蓄積容量素子によりフォトダイオードから溢れる光電荷を蓄積することで高照度撮像における撮像を行って広ダイナミックレンジ化することができる。

#### 【0028】

本発明のラインセンサによれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。

#### 【0029】

本発明の光センサによれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。

#### 【0030】

本発明の固体撮像装置の動作方法によれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。

#### 【発明を実施するための最良の形態】

#### 【0031】

以下に、本発明の固体撮像装置の実施の形態について、図面を参照して説明する。

#### 【0032】

##### 第1実施形態

本実施形態にかかる固体撮像装置はCMOSイメージセンサであり、図1は1画素(ピクセル)分の等価回路図である。

各画素は、光を受光して光電荷を生成および蓄積するフォトダイオードPD、フォトダイオードPDからの光電荷を転送する転送トランジスタTr1、転送トランジスタTr1を通じて光電荷が転送されるフローティングディフェージョンFD、蓄積動作時に前記フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子Cs、フローティングディフェージョンFDと蓄積容量素子Csのポテンシャルを結合または分割する蓄積トランジスタTr2、フローティングディフェージョンFDに接続して形成され、フローティングディフェージョンFD内の光電荷を排出するためのリセットトランジスタTr3、フローティングディフェージョンFD内の光電荷を電圧信号に増幅変換する増幅トランジスタTr4、および、増幅トランジスタに接続して形成され、画素を選択するための選択トランジスタTr5から構成されており、いわゆる5トランジスタ型のCMOSイメージセンサである。例えば、上記の5つのトランジスタはいずれもnチャネルMOSトランジスタからなる。

#### 【0033】

本実施形態にかかるCMOSイメージセンサは、上記の構成の画素がアレイ状に複数個集積されており、各画素において、転送トランジスタTr1、蓄積トランジスタTr2、リセットトランジスタTr3のゲート電極に、 $\phi_T$ 、 $\phi_S$ 、 $\phi_R$ の各駆動ラインが接続され

、また、選択トランジスタTr5のゲート電極には行シフトレジスタから駆動される画素選択ラインSL( $\phi_X$ )が接続され、さらに、選択トランジスタTr5の出力側ソース・ドレインに出力ラインoutが接続され、列シフトレジスタにより制御されて出力される。

選択トランジスタTr5、駆動ライン $\phi_X$ については、画素の選択、非選択動作ができるよう、フローティングディフェュージョンFDの電圧を適宜な値に固定できればよいか、それらを省略することも可能である。

#### 【0034】

図2(A)は、本実施形態にかかるCMOSイメージセンサの各画素の一部(フォトダイオードPD、転送トランジスタTr1、フローティングディフェュージョンFD、蓄積トランジスタTr2および蓄積容量素子C<sub>S</sub>)に相当する模式的断面図である。

例えは、n型シリコン半導体基板(n-sub)10にp型ウェル(p-well)11が形成されており、各画素および蓄積容量素子C<sub>S</sub>領域を区分するLOCOS法などによる素子分離絶縁膜(20, 21, 22)が形成され、さらに画素を分離する素子分離絶縁膜20の下方に相当するp型ウェル11中には、p<sup>+</sup>型分離領域12が形成されている。

p型ウェル11中にn型半導体領域13が形成され、その表層にp<sup>+</sup>型半導体領域14が形成され、このpn接合により電荷転送埋め込み型のフォトダイオードPDが構成されている。pn接合に適当なバイアスを印加して発生させた空乏層中に光LTが入射すると、光電効果により光電荷が生じる。

#### 【0035】

n型半導体領域13の端部においてp<sup>+</sup>型半導体領域14よりはみ出して形成された領域があり、この領域から所定の距離を離間してp型ウェル11の表層にフローティングディフェュージョンFDとなるn<sup>+</sup>型半導体領域15が形成され、さらにこの領域から所定の距離を離間してp型ウェル11の表層にn<sup>+</sup>型半導体領域16が形成されている。

ここで、n型半導体領域13とn<sup>+</sup>型半導体領域15にかかる領域において、p型ウェル11上面に酸化シリコンなどからなるゲート絶縁膜23を介してポリシリコンなどからなるゲート電極30が形成され、n型半導体領域13とn<sup>+</sup>型半導体領域15をソース・ドレインとし、p型ウェル11の表層にチャネル形成領域を有する転送トランジスタTr1が構成されている。

また、n<sup>+</sup>型半導体領域15とn<sup>+</sup>型半導体領域16にかかる領域において、p型ウェル11上面に酸化シリコンなどからなるゲート絶縁膜24を介してポリシリコンなどからなるゲート電極31が形成され、n<sup>+</sup>型半導体領域15とn<sup>+</sup>型半導体領域16をソース・ドレインとし、p型ウェル11の表層にチャネル形成領域を有する蓄積トランジスタTr2が構成されている。

また、素子分離絶縁膜(21, 22)で区分された領域において、p型ウェル11の表層に下部電極となるp<sup>+</sup>型半導体領域17が形成されており、この上層に酸化シリコンなどからなる容量絶縁膜25を介してポリシリコンなどからなる上部電極32が形成されており、これらから蓄積容量素子C<sub>S</sub>が構成されている。

#### 【0036】

転送トランジスタTr1、蓄積トランジスタTr2および蓄積容量素子C<sub>S</sub>を被覆して、酸化シリコンなどからなる絶縁膜が形成されており、n<sup>+</sup>型半導体領域15、n<sup>+</sup>型半導体領域16および上部電極32に達する開口部が形成され、n<sup>+</sup>型半導体領域15に接続する配線33と、n<sup>+</sup>型半導体領域16および上部電極32を接続する配線34がそれぞれ形成されている。

また、転送トランジスタTr1のゲート電極30には駆動ライン $\phi_T$ が接続して設けられており、また、蓄積トランジスタTr2のゲート電極31には駆動ライン $\phi_S$ が接続して設けられている。

#### 【0037】

上記の他の要素であるリセットトランジスタTr3、増幅トランジスタTr4、選択ト

ランジスタTr5、各駆動ライン( $\phi_T$ ,  $\phi_S$ ,  $\phi_R$ ,  $\phi_X$ )および出力ラインoutについては、例えば配線33が不図示の増幅トランジスタTr4に接続されるなど、図1の等価回路図に示す構成となるように、図2(A)に示す半導体基板10上の不図示の領域において構成されている。

#### 【0038】

図2(B)は上記のフォトダイオードPD、転送トランジスタTr1、フローディングディフェージョンFD、蓄積トランジスタTr2および蓄積容量素子 $C_S$ に相当する模式的なポテンシャル図である。

フォトダイオードPDは相対的に浅いポテンシャルの容量 $C_{PD}$ を構成し、フローディングディフェージョンFDおよび蓄積容量素子 $C_S$ は相対的に深いポテンシャルの容量( $C_{FD}$ ,  $C_S$ )を構成する。

ここで、転送トランジスタTr1および蓄積トランジスタTr2はトランジスタのon/offに応じて2準位を取りうる。

#### 【0039】

図1の等価回路図、図2(A)の断面図および図2(B)のポテンシャル図で説明される本実施形態のCMOSイメージセンサの駆動方法について説明する。

図3(A)は駆動ライン( $\phi_T$ ,  $\phi_S$ ,  $\phi_R$ )に印加する電圧を、on/offの2準位、 $\phi_T$ についてはさらに $(+\alpha)$ で示す準位を加えた3準位で示したタイミングチャートである。

駆動ライン $\phi_T$ に印加する電圧はON/OFFの2準位でもよいが、本例の如く3準位とした方がフォトダイオードPDから溢れ出た電荷をより効率的にフローディングディフェージョンFDと蓄積容量素子 $C_S$ に捕獲して蓄積することができる。

図3(B)および(C)はそれぞれ上記のタイミングにおけるフォトダイオードPD、フローディングディフェージョンFDおよび蓄積容量素子 $C_S$ から構成される容量( $C_{PD}$ ,  $C_{FD}$ ,  $C_S$ )の電位( $V_{PD}$ ,  $V_{FD}$ ,  $V_{CS}$ )の変化を示すグラフであり、図3(B)はフォトダイオードPDで生成される光電子が $C_{PD}$ を飽和させる量以下であるような光量のときであり、図3(C)は $C_{PD}$ を飽和させる量以上であるような光量のときである。

#### 【0040】

また、図4(A)～(D)および図5(E)～(H)はタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

#### 【0041】

まず、 $\phi_T$ をoff、 $\phi_S$ をonとした状態で $\phi_R$ をonとして、前フィールドで生じた光電荷を全て排出してリセットしておき、時刻T<sub>1</sub>において次のフィールドが始まるとともに、 $\phi_R$ をoffとする。

このとき、図4(A)に示すように、 $\phi_S$ がonとなっているので $C_{FD}$ と $C_S$ が結合した状態となっており、リセット直後にはリセット動作に伴ういわゆるKTCノイズが $C_{FD}+C_S$ に発生する。ここで、この $C_{FD}+C_S$ のリセットレベルの信号をノイズN<sub>2</sub>として読み出す。

ノイズN<sub>2</sub>を読み出して後述のフレームメモリに蓄積しておき、画像信号生成時にそのノイズN<sub>2</sub>を利用する方法が最もS/N比をよくできる動作方法であるが、過飽和時には、飽和前電荷+過飽和電荷に比べてノイズN<sub>2</sub>が十分に小さいので、ノイズN<sub>2</sub>に代えて後述のノイズN<sub>1</sub>を用いてもよい。また、現フレームのノイズN<sub>2</sub>に代えて、次のフレームのノイズN<sub>2</sub>を用いてもよい。

#### 【0042】

次に、蓄積時間T<sub>LT</sub>の間、フォトダイオードPDにおいて生成される光電荷を蓄積する。このとき、 $\phi_T$ については $(+\alpha)$ 準位として $C_{PD}$ と $C_{FD}$ 間の障壁をわずかに下げておく。

図3(B)に示すように、光電荷は、まず $C_{PD}$ に蓄積していき、これに伴って $C_{PD}$ の電位 $V_{PD}$ が徐々に下がっていく。光電子が $C_{PD}$ を飽和させる量以下である場合には、 $C_{PD}$ の電位 $V_{PD}$ が変化するのみで、 $C_{FD}$ と $C_S$ の電位( $V_{FD}$ ,  $V_{CS}$ )は変化しない。

一方、光電子が $C_{PD}$ を飽和させる量以上である場合には、 $\phi_T$ を $(+\alpha)$ 準位としてわずかに下げられた障壁を乗り越えて光電荷が $C_{PD}$ から溢れ、この画素の $C_{FD} + C_S$ に選択的に蓄積されていく。このとき、図3(C)に示すように、 $C_{PD}$ が飽和する直前までは $C_{PD}$ の電位 $V_{PD}$ が徐々に下がり、 $C_{FD}$ と $C_S$ の電位( $V_{FD}$ ,  $V_{CS}$ )は変化しないが、 $C_{PD}$ が飽和する直後から $C_{PD}$ の電位 $V_{PD}$ が一定となり、 $C_{FD}$ と $C_S$ の電位( $V_{FD}$ ,  $V_{CS}$ )が徐々に下がっていく。

#### 【0043】

このようにして、光電子がフォトダイオードPDを飽和させる量以下である場合には $C_{PD}$ のみに光電荷が蓄積し、光電子がフォトダイオードPDを飽和させる量以上である場合には $C_{PD}$ に加えて $C_{FD}$ と $C_S$ にも光電荷が蓄積する。

図4(B)は、 $C_{PD}$ が飽和しており、 $C_{PD}$ に飽和前電荷 $Q_B$ が蓄積し、 $C_{FD}$ と $C_S$ に過飽和電荷 $Q_A$ が蓄積している状態を示す。

#### 【0044】

次に、 $\phi_T$ を $(+\alpha)$ 準位からoffに戻し、さらに $\phi_S$ をoffとして、図4(C)に示すように、 $C_{FD}$ と $C_S$ のポテンシャルを分割する。

次に、 $\phi_R$ をonにして、図4(D)に示すように、 $C_{FD}$ 中の光電荷を排出してリセットする。

#### 【0045】

次に、時刻 $T_2$ において、 $\phi_R$ をoffとしてリセットを終了した直後には、図5(E)に示すように、kTCノイズが $C_{FD}$ に新たに発生する。ここで、この $C_{FD}$ のリセットレベルの信号をノイズ $N_1$ として読み出す。

#### 【0046】

次に、 $\phi_T$ をonとして、図5(F)に示すように、 $C_{PD}$ 中の飽和前電荷 $Q_B$ を $C_{FD}$ に転送する。ここで、 $C_{PD}$ のポテンシャルが $C_{FD}$ よりも浅く、転送トランジスタの準位が $C_{PD}$ より深くなっているので、 $C_{PD}$ 中にあった飽和前電荷 $Q_B$ を全て $C_{FD}$ に転送する完全電荷転送を実現できる。

ここで、時刻 $T_3$ において $\phi_T$ をoffに戻し、 $C_{FD}$ に転送された飽和前電荷 $Q_B$ から飽和前電荷信号 $S_1$ を読み出す。但し、ここでは $C_{FD}$ ノイズが乗っているので、実際に読みだされるのは $S_1 + N_1$ となる。図5(F)は、 $\phi_T$ をoffに戻す前の状態を示している。

#### 【0047】

次に、 $\phi_S$ をonとし、続いて $\phi_T$ をonとすることで $C_{FD}$ と $C_S$ のポテンシャルを結合させ、図5(G)に示すように、 $C_{FD}$ 中の飽和前電荷 $Q_B$ と $C_S$ 中の過飽和電荷 $Q_A$ を混合する。

ここで、時刻 $T_4$ において $\phi_T$ をoffに戻し、 $C_{FD} + C_S$ に広がる飽和前電荷 $Q_B +$ 過飽和電荷 $Q_A$ から飽和前電荷信号 $S_1$ と過飽和電荷信号 $S_2$ の和の信号を読み出す。但し、ここでは $C_{FD} + C_S$ ノイズが乗っており、さらに $C_{FD} + C_S$ に広がった電荷から読み取っていることから、実際に読みだされるのは $S_1' + S_2' + N_2$ ( $S_1'$ と $S_2'$ はそれぞれ $C_{FD}$ と $C_S$ の容量比率によって縮小変調された $S_1$ と $S_2$ の値)となる。図5(G)は、 $\phi_T$ をoffに戻す前の状態を示している。

#### 【0048】

次に、上記のように $\phi_T$ をoff、 $\phi_S$ をonとした状態で $\phi_R$ をonとして、このフィールドで生じた光電荷を全て排出してリセットしておき、次のフィールドへと移っていく。

#### 【0049】

次に、上記の構成の画素をアレイ状に集積したCMOSイメージセンサ全体の回路構成について説明する。

図6は本実施形態のCMOSイメージセンサの全体の回路構成を示す等価回路図である。

複数個(図面上は代表して4個)の画素(Pixel)がアレイ状に配置されており、

各画素 (Pixel) には行シフトレジスタ SR<sup>V</sup> で制御された駆動ライン ( $\phi_T$ ,  $\phi_S$ ,  $\phi_R$ ,  $\phi_X$ ) と、電源 VDD およびグラウンド GND などが接続されている。

各画素 (Pixel) からは、列シフトレジスタ SR<sup>H</sup> および駆動ライン ( $\phi_{S1+N1}$ ,  $\phi_{N1}$ ,  $\phi_{S1'+S2'+N2}$ ,  $\phi_{N2}$ ) で制御され、上述のように、飽和前電荷信号 ( $S_1$ ) + C<sub>FD</sub> ノイズ ( $N_1$ ) 、C<sub>FD</sub> ノイズ ( $N_1$ ) 、変調された飽和前電荷信号 ( $S_1'$ ) + 変調された過飽和電荷信号 ( $S_2'$ ) + C<sub>FD</sub> + C<sub>S</sub> ノイズ ( $N_2$ ) および C<sub>FD</sub> + C<sub>S</sub> ノイズ ( $N_2$ ) の 4 つの値がそれぞれのタイミングで各出力ラインに出力される。

ここで、飽和前電荷信号 ( $S_1$ ) + C<sub>FD</sub> ノイズ ( $N_1$ ) と C<sub>FD</sub> ノイズ ( $N_1$ ) の各出力端部分 CT<sub>a</sub> は、以下に説明するようにこれらの差分を取ることから、差動アンプ DC1 を含む回路 CT<sub>b</sub> を CMOS イメージセンサチップ上に形成しておいてもよい。

#### 【0050】

図 7 は、上記のように出力された飽和前電荷信号 ( $S_1$ ) + C<sub>FD</sub> ノイズ ( $N_1$ ) 、C<sub>FD</sub> ノイズ ( $N_1$ ) 、変調された飽和前電荷信号 ( $S_1'$ ) + 変調された過飽和電荷信号 ( $S_2'$ ) + C<sub>FD</sub> + C<sub>S</sub> ノイズ ( $N_2$ ) および C<sub>FD</sub> + C<sub>S</sub> ノイズ ( $N_2$ ) の 4 つの信号の処理を行う回路である。

上記の出力から、飽和前電荷信号 ( $S_1$ ) + C<sub>FD</sub> ノイズ ( $N_1$ ) と C<sub>FD</sub> ノイズ ( $N_1$ ) を差動アンプ DC1 に入力し、これらの差分を取ることで C<sub>FD</sub> ノイズ ( $N_1$ ) をキャンセルし、飽和前電荷信号 ( $S_1$ ) が得られる。

一方、変調された飽和前電荷信号 ( $S_1'$ ) + 変調された過飽和電荷信号 ( $S_2'$ ) + C<sub>FD</sub> + C<sub>S</sub> ノイズ ( $N_2$ ) と C<sub>FD</sub> + C<sub>S</sub> ノイズ ( $N_2$ ) を差動アンプ DC2 に入力し、これらの差分を取って C<sub>FD</sub> + C<sub>S</sub> ノイズ ( $N_2$ ) をキャンセルし、さらにアンプ AP により C<sub>FD</sub> と C<sub>S</sub> の容量比率によって復元して飽和前電荷信号 ( $S_1$ ) と同じゲインに調整することで、飽和前電荷信号と過飽和電荷信号の和 ( $S_1 + S_2$ ) が得られる。

#### 【0051】

ここで、図 3 のタイミングチャートに示すように、C<sub>FD</sub> + C<sub>S</sub> ノイズ ( $N_2$ ) は他の信号に比べて相対的に早く取得されるので、他の信号が取得されるまでフレームメモリ FM に一旦格納しておき、他の信号が取得されるタイミングでフレームメモリ FM から読みだし、以下の処理を行うようとする。

#### 【0052】

上記の変調された飽和前電荷信号 ( $S_1'$ ) + 変調された過飽和電荷信号 ( $S_2'$ ) の復元について説明する。

$S_1'$ 、 $S_2'$ 、 $\alpha$  (C<sub>FD</sub> から C<sub>FD</sub> + C<sub>S</sub> への電荷分配比) および  $\beta$  (C<sub>S</sub> から C<sub>FD</sub> + C<sub>S</sub> への電荷分配比) は以下の数式により表される。

#### 【0053】

$$S_1' = S_1 \times \alpha \quad (1)$$

$$S_2' = S_2 \times \alpha \times \beta \quad (2)$$

$$\alpha = C_{FD} / (C_{FD} + C_S) \quad (3)$$

$$\beta = C_S / (C_{FD} + C_S) \quad (4)$$

#### 【0054】

従って、C<sub>FD</sub> と C<sub>S</sub> の値から上記式 (3) および (4) より  $\alpha$  および  $\beta$  を求め、それを上記式 (1) および (2) に代入することで、 $S_1 + S_2$  に復元し、別途取得された  $S_1$  と同じゲインに調整することができる。

#### 【0055】

次に、図 7 に示すように、上記のように得られた  $S_1$  と  $S_1 + S_2$  のどちらか一方を選択して最終的な出力とする。

これには、まず、 $S_1$  をコンバレータ CP に入力し、予め設定した基準電位 V<sub>0</sub> と比較する。一方、 $S_1$  と  $S_1 + S_2$  はセレクタ SE に入力され、上記のコンバレータ CP の出力に応じて、 $S_1$  と  $S_1 + S_2$  のどちらかが選択されて出力される。基準電位 V<sub>0</sub> はフォトダイオード PD の容量に応じて飽和する前の電位が選択され、例えば 0.3 V 程度とする。

即ち、 $S_1$  から V<sub>0</sub> を引いて負となれば、即ち、 $S_1$  が V<sub>0</sub> よりも小さければ、フォトダイ

オードP Dは飽和していないと判断され、 $S_1$ が出力される。

逆に、 $S_1$ から $V_0$ を引いて正となれば、即ち、 $S_1$ が $V_0$ よりも大きければ、フォトダイオードP Dは飽和していると判断され、 $S_1 + S_2$ が出力される。

#### 【0056】

例えは、この出力までをCMOSイメージセンサチップCH上に形成し、差動アンプDC1およびフレームメモリFM以降の回路を外付けで実現する。また、上記のように差動アンプDC1についてはCMOSイメージセンサチップCH上に形成してもよい。

また、差動アンプDC1およびフレームメモリFM以降の回路については、取り扱うアナログデータが大きくなることから、差動アンプDC1およびフレームメモリFMに入力する前にA/D変換を行い、差動アンプDC1およびフレームメモリFM以降をデジタル処理することが好ましい。この場合、用いるA/Dコンバータの入力レンジに合わせて、予め不図示のアンプにより増幅しておくことが好ましい。

#### 【0057】

上記のように、本実施形態のCMOSイメージセンサにおいては、1つの画素あたり、1フィールド毎に、飽和前電荷信号( $S_1$ )と飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )の2つの信号が得られることになり、実際にフォトダイオードP D( $C_{PD}$ )が飽和あるいはそれに近い状態であったかどうか判断して、 $S_1$ と $S_1 + S_2$ のどちらかを選択することになる。

#### 【0058】

図8(A)は上記のようにして容量 $C_{FD}$ を用いたときに得られる電荷数を相対光量に対してプロットした図であり、これは信号 $S_1$ に相当する。一方、図8(B)は容量 $C_{FD} + C_S$ を用いたときに得られる電荷数を相対光量に対してプロットした図であり、これは信号 $S_1 + S_2$ に相当する。

例えは、基準電位 $V_0$ (例えは0.3V)として、これより低照度側では図8(A)で示される信号 $S_1$ を用い、高照度側では図8(B)で示される信号 $S_1 + S_2$ を用いる。

このとき、両グラフにおいて低照度領域にノイズNoiseが現れるが、これは信号 $S_1$ の方が信号 $S_1 + S_2$ よりも小さく、低照度側では信号 $S_1$ を採用するのでノイズレベルを高くしてしまうという問題がない。

また、 $C_{FD}$ の飽和電位は画素毎にはらつきを有しており、電荷数で $1 \times 10^4 \sim 2 \times 10^4$ 程度ではらついているが、この領域に入る前に $C_{FD} + C_S$ を用いた信号 $S_1 + S_2$ に切り換えてしまって、 $C_{FD}$ の飽和電位のはらつきの影響を受けないで済むという利点がある。

また、例え基準電位 $V_0$ がはらついても、基準電位の近傍一帯で $C_{FD}$ の電荷数と $C_{FD} + C_S$ の電荷数は一致するので、基準電位付近においては、信号 $S_1$ を用いても、信号 $S_1 + S_2$ を用いても、問題はない。

#### 【0059】

本実施形態のCMOSイメージセンサの構成と上記の動作方法によれば、それぞれノイズをキャンセルして得られた飽和前電荷信号( $S_1$ )と飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )の2つの信号から、フォトダイオードP D( $C_{PD}$ )が飽和していないければ飽和前電荷信号( $S_1$ )を採用し、飽和していれば飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )を採用する。

このように、フォトダイオードP Dが飽和していない低照度撮像においてはノイズをキャンセルして得た飽和前電荷信号( $S_1$ )により高感度、高S/N比を維持することができ、さらにフォトダイオードP Dが飽和した高照度撮像においては、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積してこれを取り入れ、上記同様にノイズをキャンセルして得た信号(飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ ))により、高S/Nを維持して、高照度側に広ダイナミックレンジ化を実現できる。

#### 【0060】

本実施形態のCMOSイメージセンサは、上記のように低照度側の感度を下げずに高照度側の感度を上げて広ダイナミックレンジ化を図るほか、電源電圧を通常用いられている

範囲から上げないので将来のイメージセンサの微細化に対応することができる。

素子の追加は極小に抑えられており、画素サイズの拡大を招くことはない。

さらに、従来の広ダイナミックレンジ化を実現するイメージセンサのように高照度側と低照度側で蓄積時間を分割しない、即ち、フレームをまたがずに同一の蓄積時間に蓄積しているので、動画の撮像にも対応することができる。

また、フローティングディフェュージョンF Dのリーク電流（F Dリーク）についても、本実施形態のイメージセンサでは $C_{FD} + C_S$ の最小信号が過飽和電荷＋フォトダイオードP Dからの飽和電荷となってF Dリークの電荷よりも大きな電荷量を取り扱うようになるので、F Dリークの影響を受け難いという利点がある。

#### 【0061】

##### 第2実施形態

本実施形態は、第1実施形態に係るCMOSイメージセンサの画素の回路構成を変形した形態である。

図9(A)は本実施形態のCMOSイメージセンサの1例の1画素(ピクセル)分の等価回路図である。実質的に図1の等価回路図と同様であるが、増幅トランジスタTr4および選択トランジスタTr5の接続が異なり、選択トランジスタTr5を増幅トランジスタTr4の上段側に配置し、増幅トランジスタTr4の出力を出力ラインoutに接続した形態である。

このような接続とすることで、増幅トランジスタTr4のアンプのゲインを上げることが可能となる。

#### 【0062】

また、図9(B)は本実施形態のCMOSイメージセンサの他の例の1画素分の等価回路図である。実質的に図1の等価回路図と同様であるが、転送トランジスタTr1、蓄積トランジスタTr2、リセットトランジスタTr3、増幅トランジスタTr4、選択トランジスタTr5の5つのトランジスタについて、nチャネルMOSトランジスタをpチャネルMOSトランジスタで置き換えた構成である。

これにより、ホールの完全電荷転送型のイメージセンサを実現でき、例えばシリコン基板としてp型を用いた場合などに好適である。

#### 【0063】

他の構成は第1実施形態に係るCMOSイメージセンサと同様の構成とすることができる。

本実施形態に係るCMOSイメージセンサによれば、第1実施形態と同様に、フォトダイオードP Dが飽和していない低照度撮像においてはノイズをキャンセルして得た飽和前電荷信号により高感度、高S/N比を維持することができ、さらにフォトダイオードP Dが飽和した高照度撮像においては、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積してこれを取り入れ、上記同様にノイズをキャンセルして得た信号(飽和前電荷信号と過飽和電荷信号の和)により、高S/Nを維持して、高照度側に広ダイナミックレンジ化を実現できる。

#### 【0064】

##### 第3実施形態

本実施形態に係る固体撮像装置はCCDイメージセンサである。

図10(A)は本実施形態のCCDイメージセンサの1例の1画素分の等価回路図である。

即ち、 $\phi V_1$ と $\phi V_2$ の2相駆動する第1の電荷結合転送路CCD1と第2の電荷結合転送路CCD2が垂直方向に延伸して配置され、フォトダイオードP Dは第1の電荷結合転送路CCD1に直接接続され、一方、第2の電荷結合転送路CCD2に転送トランジスタTr1を介して接続されている。

ここで、第2の電荷結合転送路CCD2は、フォトダイオードP Dが飽和したときにフォトダイオードP Dから溢れる光電荷を蓄積する蓄積容量素子 $C_S$ として機能する。

上記の構成のCCDイメージセンサにおいては、低照度側の飽和前信号を第1の電荷結

合転送路 C C D 1 により転送して C C D の駆動により読み出し、一方、高照度側の過飽和信号を蓄積容量素子  $C_S$  で蓄積して、蓄積容量素子  $C_S$  が構成する第 2 の電荷結合転送路 C C D 2 の駆動によりそのまま読み出すものである。

低照度側の飽和前信号と、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積した高照度側の過飽和信号をそれぞれ読み出すことで、高照度側に広ダイナミックレンジ化を実現できる。

#### 【0065】

図 10 (B) は本実施形態の C C D イメージセンサの他の例の 1 画素分の等価回路図である。

第 1 実施形態の CMOS イメージセンサにおいて、低照度側の飽和前信号を第 1 の電荷結合転送路 C C D 1 により転送して C C D の駆動により読み出す構成したものに相当する。高照度側の過飽和信号の読み出しは、第 1 実施形態の CMOS イメージセンサにおける信号読み出しと同様に行うことができる。

この場合、飽和前信号と過飽和信号を混合する工程が不要となるので、フローティングディフェュージョン F D および蓄積容量素子  $C_S$  の間の蓄積トランジスタ T r 2 を設けなくともよくなっている。

低照度側の飽和前信号と、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積した高照度側の過飽和信号をそれぞれ読み出すことで、高照度側に広ダイナミックレンジ化を実現できる。

#### 【0066】

##### 第 4 実施形態

本実施形態は、第 1 実施形態に係る CMOS イメージセンサの画素の回路構成を変形した形態である。

図 11 (A) は本実施形態の CMOS イメージセンサの 1 例の 1 画素分の等価回路図である。実質的に図 1 の等価回路図と同様であるが、蓄積容量素子  $C_S$  に蓄積された光電荷を対数変換して読み出す対数変換回路を構成するトランジスタ T r 6 ~ 8 が追加された形態である。

このように対数変換しながら出力することで、高照度撮像に対応でき、広ダイナミックレンジ化を達成できる。特に、フォトダイオード P D の飽和近傍においては、飽和前信号と過飽和信号を混合することにより S/N を向上させることができる。

#### 【0067】

図 11 (B) は本実施形態の CMOS イメージセンサの他の例の 1 画素分の等価回路図である。

フォトダイオード P D から溢れる光電荷を対数変換して蓄積容量素子  $C_S$  に蓄積する対数変換回路を構成するトランジスタ T r 6 , 7 , 9 , 10 が追加された形態である。

このように対数変換しながら出力することで、高照度撮像に対応でき、広ダイナミックレンジ化を達成できる。特に、対数変換して蓄積容量素子  $C_S$  に蓄積するので、蓄積容量素子  $C_S$  が小さくても広ダイナミックレンジ化に寄与することができる。

#### 【0068】

##### 第 5 実施形態

本実施形態は、上記の各実施形態において、フォトダイオードから溢れる光電荷を蓄積するための蓄積容量素子の形態の変形例を示す。

#### 【0069】

蓄積容量素子として、ジャンクション型キャパシタを考えた場合、条件を考慮しても  $1 \mu m^2$ あたりの静電容量は  $0.3 \sim 3 fF / \mu m^2$  程度であり、面積効率はあまりよくなく、ダイナミックレンジを広くするには困難が伴う。

#### 【0070】

一方、プレーナ型キャパシタでは、容量絶縁膜の絶縁膜リーク電流を抑制するために絶縁膜電界を  $3 \sim 4 MV/cm$  以下、最大印加電圧が  $2.5 \sim 3 V$ 、容量絶縁膜厚が  $7 nm$  程度と設定したとき、容量絶縁膜の材料の誘電率が  $3.9$  で  $4.8 fF / \mu m^2$ 、誘電率

が7.9で9.9 fF/ $\mu$ m<sup>2</sup>、誘電率が20で25 fF/ $\mu$ m<sup>2</sup>、誘電率が50で63 fF/ $\mu$ m<sup>2</sup>となる。

酸化シリコン（誘電率3.9）の他、窒化シリコン（同7.9）、Ta<sub>2</sub>O<sub>5</sub>（同20～30）、HfO<sub>2</sub>（同30）、ZrO<sub>2</sub>（同30）、Ra<sub>2</sub>O<sub>3</sub>（同40～50）程度のいわゆるHigh-k材料を用いることで、より大きな静電容量を実現でき、比較的単純な構造であるプレーナ型でも100～120 dBの広ダイナミックレンジなイメージセンサを実現できる。

#### 【0071】

さらに、占有面積を抑制して容量の寄与する面積を拡大可能なスタック型やトレンチ型などの構造を適用することでも120 dBの広いダイナミックレンジを達成可能で、さらに上記のHigh-k材料を組み合わせることで、スタック型では140 dB、トレンチ型では160 dBを達成可能である。

#### 【0072】

以下に、本実施形態で適用できる蓄積容量素子の例を示す。

図12（A）は第1実施形態と同様のプレーナ型MOSキャパシタの断面図である。

即ち、蓄積容量素子C<sub>S</sub>は、例えば、半導体基板10の表層部分に形成された下部電極となるp<sup>+</sup>型半導体領域17と、p<sup>+</sup>型半導体領域17上に形成された酸化シリコンの容量絶縁膜25と、容量絶縁膜25上に形成されたポリシリコンなどの上部電極32とを有する構成である。

#### 【0073】

図12（B）はプレーナ型MOSおよびジャンクション型のキャパシタの断面図である。

例えば、p型半導体基板10に形成されたp型ウェル11の表層部分に下部電極となるn<sup>+</sup>型半導体領域16bが蓄積トランジスタのソース・ドレインとなるn<sup>+</sup>型半導体領域16aと一緒に形成されており、その上の酸化シリコンの容量絶縁膜25を介して上部電極32が形成されて、蓄積容量素子C<sub>S</sub>が構成されている。この場合、上部電極32には電源電圧VDDあるいはグラウンドGNDが印加される。

#### 【0074】

図13（A）の断面図に示すキャパシタは図12（A）と同様のプレーナ型MOSキャパシタである。

但し、容量絶縁膜25aが窒化シリコンあるいはTa<sub>2</sub>O<sub>5</sub>などのHigh-k材料から構成されており、図12（A）のキャパシタよりも大容量化されている。

#### 【0075】

図13（B）の断面図に示すキャパシタは図12（B）と同様のプレーナ型MOSおよびジャンクション型のキャパシタである。

但し、容量絶縁膜25aが窒化シリコンあるいはTa<sub>2</sub>O<sub>5</sub>などのHigh-k材料から構成されており、図12（B）のキャパシタよりも大容量化されている。

#### 【0076】

図14（A）はスタック型キャパシタの断面図である。

例えば、p型半導体基板10に形成された素子分離絶縁膜上に形成された下部電極37と、下部電極37上に形成された容量絶縁膜25と、容量絶縁膜25上に形成された上部電極38とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなるn<sup>+</sup>型半導体領域16と下部電極37が配線36により接続されている。この場合、上部電極38には電源電圧VDDあるいはグラウンドGNDが印加される。

#### 【0077】

図14（B）は円筒形状のスタッ�型キャパシタの断面図である。

例えば、蓄積トランジスタのソース・ドレインとなるn<sup>+</sup>型半導体領域16に接続するように形成された円筒形状の下部電極37aと、円筒形状の下部電極37aの内壁面上に形成された容量絶縁膜25と、下部電極37aの円筒の内側の部分を埋め込むように容量

絶縁膜 25 を介して形成された上部電極 38a とを有する構成である。

ここでは、上部電極 38a には電源電圧 VDD あるいはグラウンド GND が印加される。

円筒形状の下部電極 37a と下部電極 37a の円筒の内側の部分を埋め込むように形成された上部電極 38a の構造は、通常のスタック型よりも静電容量に寄与する対向面積を大きくとることができる。

図 15 は、プレーナMOS型とスタック型とを組み合わせた複合キャバシタの断面図である。本例によれば、面積効率の高い大きな容量を形成することができる。

#### 【0078】

図 16 (A) はトレンチ型キャバシタの断面図である。

n 型半導体基板 10 の p 型ウェル 11 を貫通して n 型基板に達するようトレンチ T C が形成されており、トレンチ T C の内壁に形成された下部電極となる n<sup>+</sup> 型半導体領域 18 と、トレンチ T C の内壁を被覆して形成された容量絶縁膜 25 と、容量絶縁膜 25 を介してトレンチ T C を埋め込んで形成された上部電極 40 とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる n<sup>+</sup> 型半導体領域 16 と上部電極 40 が配線 34 により接続されている。

#### 【0079】

図 16 (B) はジャンクションを有するトレンチ型キャバシタの断面図である。

n 型半導体基板 10 の p 型ウェル 11 内においてトレンチ T C が形成されており、トレンチ T C の内壁に下部電極となる n<sup>+</sup> 型半導体領域 16d が蓄積トランジスタのソース・ドレインとなる n<sup>+</sup> 型半導体領域 16c と一緒に形成され、トレンチ T C の内壁を被覆して容量絶縁膜 25 が形成され、さらに容量絶縁膜 25 を介してトレンチ T C を埋め込んで上部電極 40 が形成された構成である。

#### 【0080】

図 17 (A) はトレンチ型キャバシタの断面図である。

n 型半導体基板 10 の p 型ウェル 11 を貫通して n 型基板に達するようトレンチ T C が形成されており、トレンチ T C ある程度の深さよりも深い領域において、その内壁に形成された下部電極となる n<sup>+</sup> 型半導体領域 18 と、トレンチ T C の内壁を被覆して形成された容量絶縁膜 25 と、容量絶縁膜 25 を介してトレンチ T C を埋め込んで形成された上部電極 40 とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる n<sup>+</sup> 型半導体領域 16 と上部電極 40 が配線 34 により接続されている。

#### 【0081】

図 17 (B) はトレンチ型キャバシタの断面図である。

n 型半導体基板 10 の p 型ウェル 11 を貫通して n 型基板に達するようトレンチ T C が形成されており、トレンチ T C の内壁に形成された下部電極となる p<sup>+</sup> 型半導体領域 19 と、トレンチ T C の内壁を被覆して形成された容量絶縁膜 25 と、容量絶縁膜 25 を介してトレンチ T C を埋め込んで形成された上部電極 40 とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる n<sup>+</sup> 型半導体領域 16 と上部電極 40 が配線 34 により接続されている。

#### 【0082】

上記の各種の蓄積容量素子は、上述の第 1 ~ 第 4 実施形態のいずれにも適用可能で、上述のようにこれらの形状の蓄積容量素子により、フォトダイオードから溢れる光電荷を蓄積することで、高照度側に広ダイナミックレンジ化を実現できる。

#### 【0083】

##### (実施例 1)

本発明の CMOS イメージセンサにおいて、C<sub>FD</sub> および C<sub>S</sub> の飽和電圧、C<sub>S</sub> の静電容量値を種々の値に変化させたときに、実現できるダイナミックレンジをシミュレーションにより求めた。ここで、ノイズレベルは 2 e<sup>-</sup>とした。

C<sub>FD</sub> および C<sub>S</sub> の飽和電圧が 500 mV、C<sub>S</sub> が 64 fF の静電容量の場合、あるいは、

$C_{FD}$ および $C_S$ の飽和電圧が1 V、 $C_S$ が32 fFの静電容量の場合、 $C_S$ を含めた飽和時の電子数が $2 \times 10^5 e^-$ となって、100 dBのダイナミックレンジを実現できる。

また、 $C_{FD}$ および $C_S$ の飽和電圧が500 mV、 $C_S$ が200 fFの静電容量の場合、あるいは、 $C_{FD}$ および $C_S$ の飽和電圧が1 V、 $C_S$ が100 fFの静電容量の場合、 $C_S$ を含めた飽和時の電子数が $6.3 \times 10^5 e^-$ となって、110 dBのダイナミックレンジを実現できる。

また、 $C_{FD}$ および $C_S$ の飽和電圧が500 mV、 $C_S$ が640 fFの静電容量の場合、あるいは、 $C_{FD}$ および $C_S$ の飽和電圧が1 V、 $C_S$ が320 fFの静電容量の場合、 $C_S$ を含めた飽和時の電子数が $2 \times 10^6 e^-$ となって、120 dBのダイナミックレンジを実現できる。

#### 【0084】

##### (実施例2)

本発明のCMOSイメージセンサにおいて、上記のトレンチ型キャパシタを適用した場合に達成できるダイナミックレンジをシミュレーションにより求めた。

図18はトレンチ型キャパシタを採用した場合の画素の概略平面図である。

各画素(Pixel)はフォトダイオードPD、ピクセル回路PCおよびトレンチ型のキャパシタCapから構成されている。

ここで、各画素の一辺が $5 \mu m$ 程度であると想定すると、トレンチ型キャパシタの平面図上の長さは長くても $4 \mu m \times 2$ 程度となる。

#### 【0085】

図19は想定したトレンチ型キャパシタの大きさを説明するの模式図である。

n型半導体基板10のp型ウェル11内にトレンチTCが形成され、トレンチTCの内壁に下部電極となるp型半導体領域19が形成され、と、トレンチTCの内壁を被覆して酸化シリコンの容量絶縁膜25が形成され、容量絶縁膜25を介してトレンチTCを埋め込んで上部電極40が形成された構成である。

ここで、長さLは上記の通り $4 \mu m \times 2$ とする。

さらに、トレンチの深さDを $2 \mu m$ 、酸化シリコン(誘電率3.9)の容量絶縁膜25の膜厚 $t_{OX}$ を $7 nm$ とすると、トレンチの側面のみを考慮した場合、容量が $160 fF$ 、飽和時の電子数が $5 \times 10^5 e^-$ となって、100~108 dBのダイナミックレンジを実現できる。

#### 【0086】

##### (実施例3)

本発明のCMOSイメージセンサにおいて、上記のプレーナ型キャパシタを適用した場合に達成できるダイナミックレンジを求めた。

図20はプレーナ型キャパシタを採用した場合の画素のレイアウト図である。

フォトダイオードPD、フローティングディフェュージョンFD、蓄積容量素子 $C_S$ およびその他のピクセル回路を配置して、図20のレイアウトを得た。

画素の一辺は $8.2 \mu m$ であり、プレーナ型キャパシタの容量絶縁膜を $7 nm$ の膜厚の酸化シリコンとすると $C_s = 38 fF$ を得た。このとき、 $C_{FD} = 4.2 fF$ (フリンジ容量を除く)となり、ダイナミックレンジとして $88 \sim 96 dB$ を得た。

#### 【0087】

##### (実施例4)

本発明のCMOSイメージセンサにおいて、一片が $3 \mu m$ の画素のフォトダイオードPDの面積が開口率で25%とし、さらにフォトダイオードPDにマイクロレンズを組み込んで実質開口率80%となった画素を想定する。

ここで、フォトダイオードPDから溢れる光電子を蓄積する蓄積容量素子として、 $64 fF$ と $640 fF$ の2種を設定し、両者において、フォトダイオードPDが飽和する前と飽和した後の出力(V)と光量(lux)の線型性をシミュレーションで求めた。

図21(A)はフォトダイオードPDが飽和する前の出力(V)を光量(lux)に対してプロットした図であり、飽和前であるので蓄積容量素子が $64 fF$ と $640 fF$ のど

ちらの場合も一致し、出力（V）と光量（1 u x）の相関は高い線型性を有することが確認された。

また、図21（B）は飽和後の出力（V）を光量（1 u x）に対してプロットした図であり、同じ光量の場合、蓄積容量素子が640fFの方が64fFよりも低い出力となり、出力が飽和してしまうまでの線型性を有する部分が広く取れることができた。

このとき、例えば $10^2$ 1ux以下では飽和前の出力を採用し、 $10^2$ 1ux以上では飽和後の出力を採用することで、フォトダイオードPDの飽和前後を繋いで、光量に対して高い線型性を持った出力を広いレンジで得ることができる。

#### 【0088】

その他、本発明に係るCMOSイメージセンサの性能（シミュレーションによる予測値）を表1にまとめた。

#### 【0089】

【表1】

項目	緒元		
$C_{FD}$	3.2fF	6.4fF	
$C_s$	32fF	320fF	64fF
画素サイズ	$\leq 5 \mu m$		
PD サイズ	$\leq 3 \mu m$		
入力換算感度	$50 \mu V/e^-$	$25 \mu V/e^-$	
$C_{FD}$ 飽和電荷量	$1 \times 10^4 e^-$	$2 \times 10^4 e^-$	
飽和電圧	$500mV_{min} @ C_{FD}, C_s$		
飽和電荷量	$1 \times 10^5 e^-$	$1 \times 10^6 e^-$	$2 \times 10^5 e^-$
ダイナミックレンジ	88dB	106dB	100dB
			120dB

#### 【0090】

本発明は上記の説明に限定されない。

例えば、実施形態においては、固体撮像装置について説明しているが、これに限らず、

各固体撮像装置の画素を直線状に配したラインセンサや、各固体撮像装置の画素をそのまま単独で構成することで得られる光センサについても、従来には得られなかった広ダイナミックレンジ化と高感度、高S/N比を達成することができる。

また、蓄積容量素子の形状などは特に限定ではなく、DRAMのメモリキャバシタなどで容量を高めるためにこれまでに開発された種々の方法を採用することができる。

固体撮像装置としては、フォトダイオードとフォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが転送トランジスタを介して接続されている構成であればよく、CMOSイメージセンサの他、CCDにも適用することができる。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

### 【産業上の利用可能性】

#### 【0091】

本発明の固体撮像装置は、デジタルカメラやカメラ付き携帯電話などに搭載されるCMOSイメージセンサやCCDイメージセンサなどの広いダイナミックレンジが望まれているイメージセンサに適用できる。

本発明のラインセンサは広いダイナミックレンジが望まれているラインセンサに適用できる。

本発明の光センサは広いダイナミックレンジが望まれている光センサに適用できる。

本発明の固体撮像装置の動作方法は広いダイナミックレンジが望まれているイメージセンサの動作方法に適用できる。

### 【図面の簡単な説明】

#### 【0092】

【図1】図1は本発明の第1実施形態に係るCMOSイメージセンサの1画素分の等価回路図である。

【図2】図2(A)は本発明の第1実施形態にかかるCMOSイメージセンサの各画素の一部に相当する模式的断面図であり、図2(B)は図2(A)の領域に相当する模式的なポテンシャル図である。

【図3】図3(A)は本発明の第1実施形態にかかるCMOSイメージセンサの駆動ライン( $\phi_T$ 、 $\phi_S$ 、 $\phi_R$ )に印加する電圧のタイミングチャートであり、図3(B)および図3(C)はそれぞれ図3(A)に対応する電位( $V_{PD}$ 、 $V_{FD}$ 、 $V_{CS}$ )の変化を示すグラフである。

【図4】図4(A)～(D)は図3(A)のタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

【図5】図5(E)～(H)は図3(A)のタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

【図6】図6は本発明の第1実施形態にかかるCMOSイメージセンサの全体の回路構成を示す等価回路図である。

【図7】図7は飽和前電荷信号+ $C_{FD}$ ノイズ、 $C_{FD}$ ノイズ、変調された過飽和電荷信号+ $C_{FD}+C_S$ ノイズおよび $C_{FD}+C_S$ ノイズの4つの信号の処理を行う回路である。

【図8】図8(A)および図8(B)はそれぞれ容量 $C_{FD}$ または容量 $C_{FD}+C_S$ を用いたときに得られる電荷数を相対光量に対してプロットした図である。

【図9】図9(A)および図9(B)は本発明の第2実施形態のCMOSイメージセンサの1画素分の等価回路図である。

【図10】図10(A)および図10(B)は本発明の第3実施形態のCCDイメージセンサの1画素分の等価回路図である。

【図11】図11(A)および図11(B)は本発明の第4実施形態のCMOSイメージセンサの1画素分の等価回路図である。

【図12】図12(A)および図12(B)は本発明の第5実施形態に係る蓄積容量素子の形態の変形例を示す。

【図13】図13(A)および図13(B)は本発明の第5実施形態に係る蓄積容量素子の形態の変形例を示す。

【図14】図14（A）および図14（B）は本発明の第5実施形態に係る蓄積容量素子の形態の変形例を示す。

【図15】図15は本発明の第5実施形態に係る蓄積容量素子の形態の変形例を示す。

【図16】図16（A）および図16（B）は本発明の第5実施形態に係る蓄積容量素子の形態の変形例を示す。

【図17】図17（A）および図17（B）は本発明の第5実施形態に係る蓄積容量素子の形態の変形例を示す。

【図18】図18は実施例2においてトレンチ型キャバシタを採用した場合の画素の概略平面図である。

【図19】図19は実施例2において想定したトレンチ型キャバシタの大きさを説明するの模式図である。

【図20】図20は実施例3においてプレーナ型キャバシタを採用した場合の画素のレイアウト図である。

【図21】図21（A）は実施例4においてフォトダイオードが飽和する前の出力（V）を光量（1ux）に対してプロットした図であり、図21（B）は飽和後の出力（V）を光量（1ux）に対してプロットした図である。

【図22】図22は第1従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

【図23】図23は第2従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

【図24】図24は第3従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

【図25】図25は第4従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

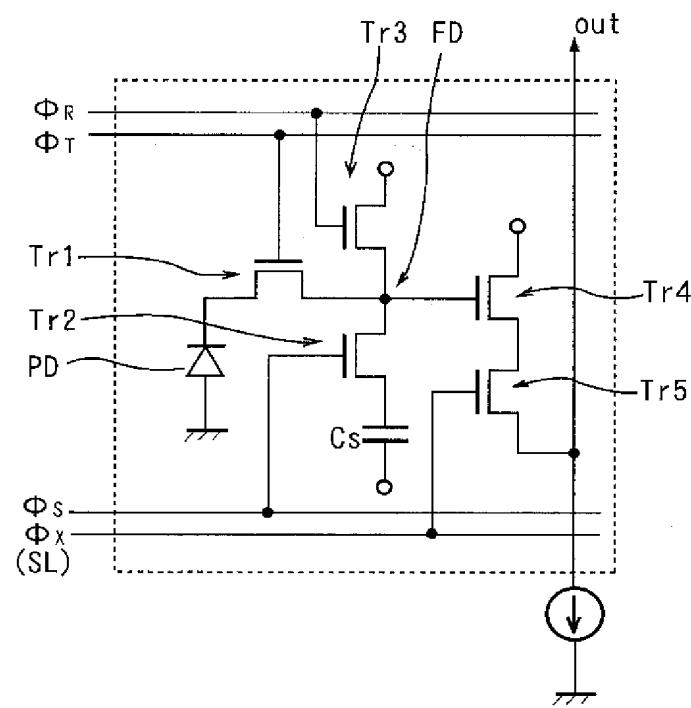
#### 【符号の説明】

##### 【0093】

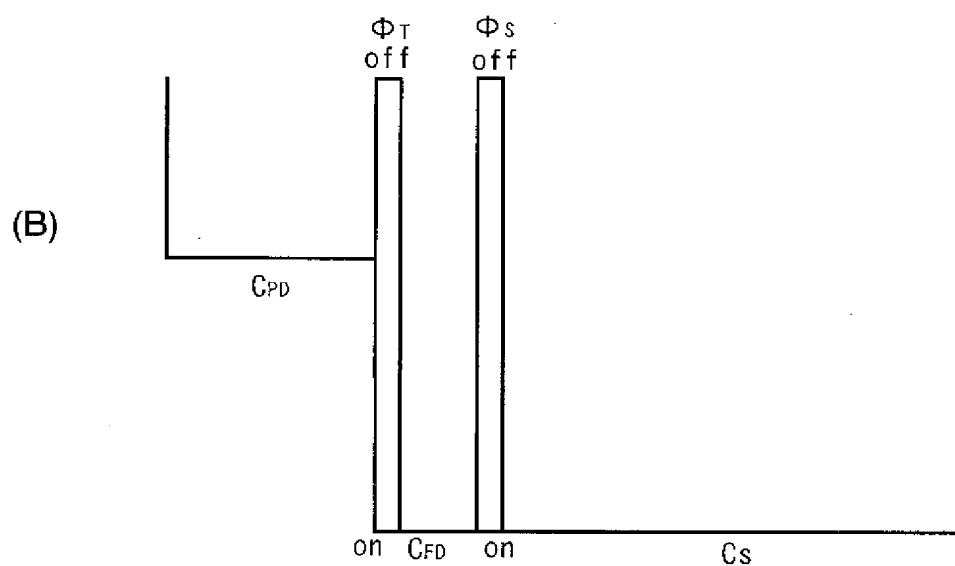
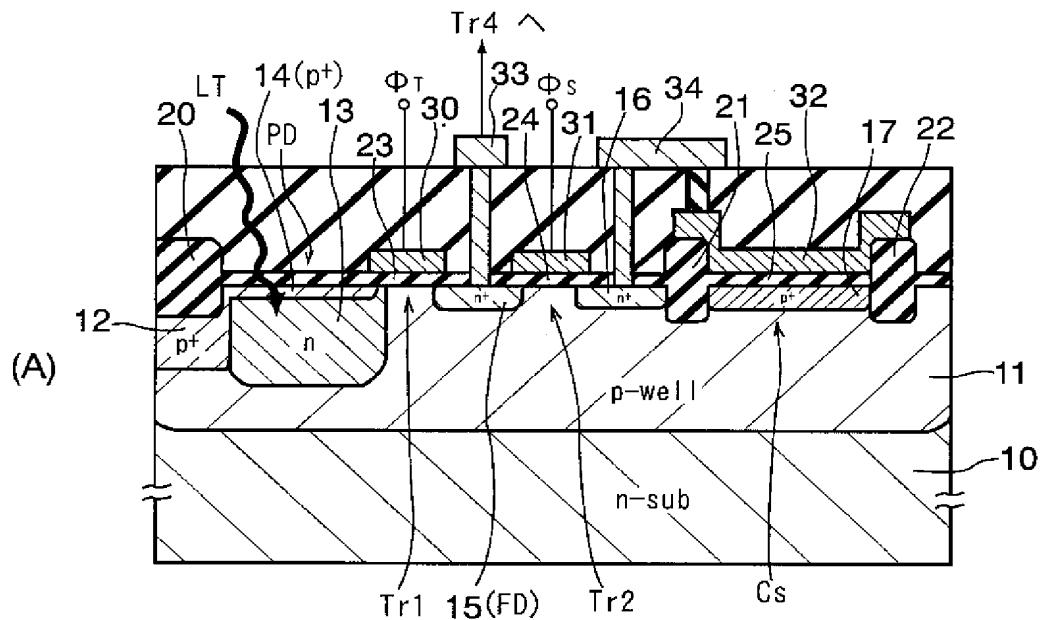
10…n型半導体基板、11…p型ウェル、12, 14, 17, 19…p<sup>+</sup>型分離領域、13…n型半導体領域、15, 16, 16a, 16b, 18…n<sup>+</sup>型分離領域、20, 21, 22…素子分離絶縁膜、23, 24…ゲート絶縁膜、25, 25a, 25'…容量絶縁膜、30, 31…ゲート電極、32, 38, 38a, 40…上部電極、33, 34, 35, 36, 39…配線、37, 37a…下部電極、AP…アンプ、C<sub>1</sub>…小容量、C<sub>2</sub>…大容量、C<sub>FD</sub>、C<sub>PD</sub>、C…容量、C<sub>S</sub>…蓄積容量素子、Cap…キャバシタ、CCD1…第1電荷結合転送路、CCD2…第2電荷結合転送路、CH…チップ、CP…コンパレータ、CT<sub>a</sub>, CT<sub>b</sub>…回路、DC1, DC2…差動アンプ、FD…フローティングディフェージョン、FM…フレームメモリ、GND…グラウンド、LT…光、N<sub>1</sub>…C<sub>FD</sub>のリセットレベルの信号（ノイズ）、N<sub>2</sub>…C<sub>FD</sub>+C<sub>S</sub>のリセットレベルの信号（ノイズ）、Noise…ノイズ、out…出力（ライン）、out1, out2…出力、PC…ピクセル回路、PD…フォトダイオード、Pixel…画素、QA…過飽和電荷、QB…飽和前電荷、S<sub>1</sub>…飽和前電荷信号、S<sub>1'</sub>…変調された飽和前電荷信号、S<sub>2</sub>…過飽和電荷信号、S<sub>2'</sub>…変調された過飽和電荷信号、SE…セレクタ、SL…選択ライン、SR<sup>H</sup>…列シフトレジスタ、SR<sup>V</sup>…行シフトレジスタ、T<sub>1</sub>~T<sub>4</sub>…時刻、TC…トレンチ、Tr1…転送トランジスタ、Tr2…蓄積トランジスタ、Tr3…リセットトランジスタ、Tr4…増幅トランジスタ、Tr5…選択トランジスタ、Tr6~Tr10…トランジスタ、V<sub>PD</sub>、V<sub>CS</sub>…電位、V<sub>DD</sub>…電源電圧、ϕ<sub>T</sub>, ϕ<sub>S</sub>, ϕ<sub>R</sub>, ϕ<sub>X</sub>, ϕ<sub>S1+N1</sub>, ϕ<sub>N1</sub>, ϕ<sub>S1'+S2'+N2</sub>, ϕ<sub>N2</sub>, ϕ<sub>V1</sub>, ϕ<sub>V2</sub>…駆動ライン

【書類名】図面

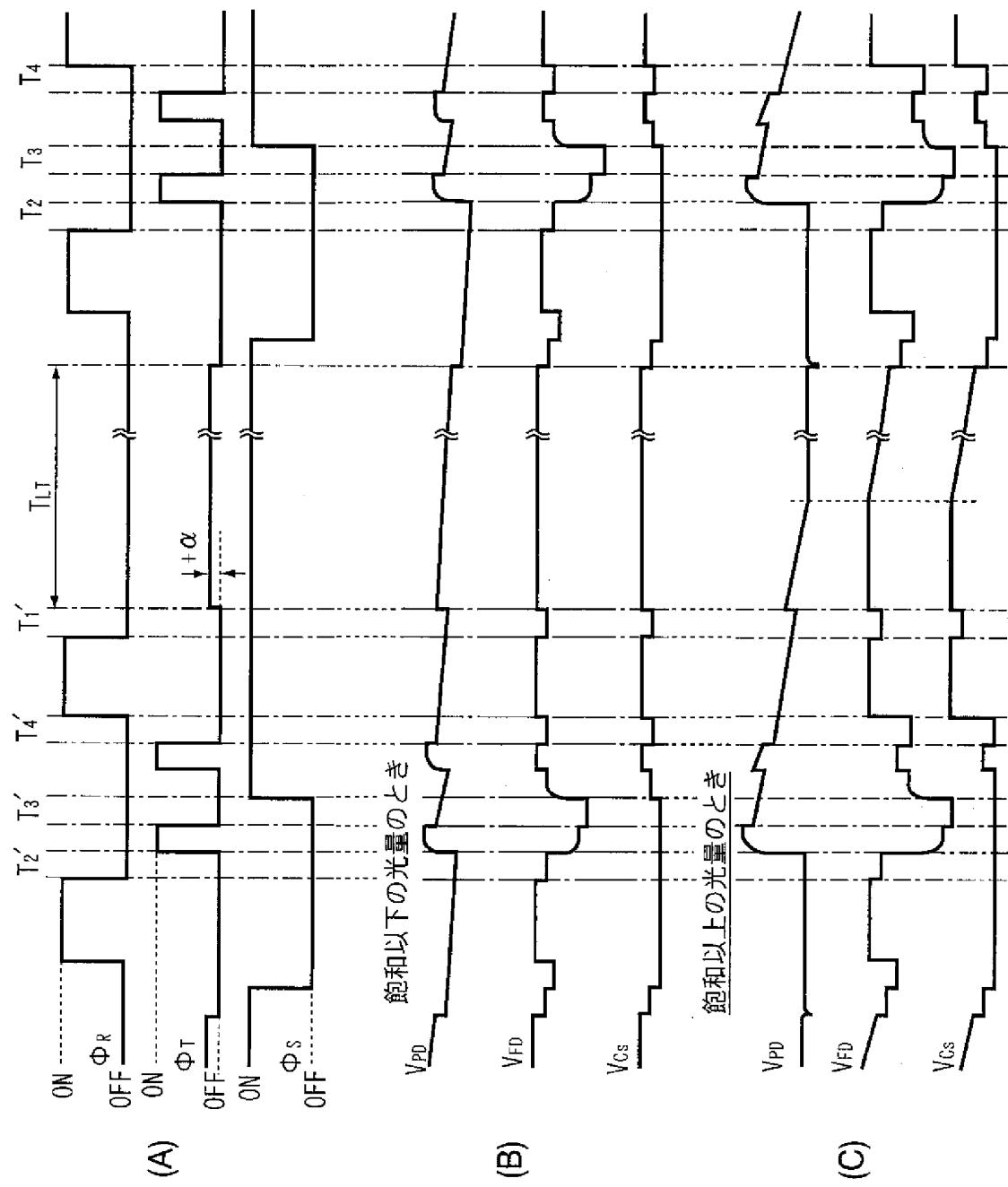
【図 1】



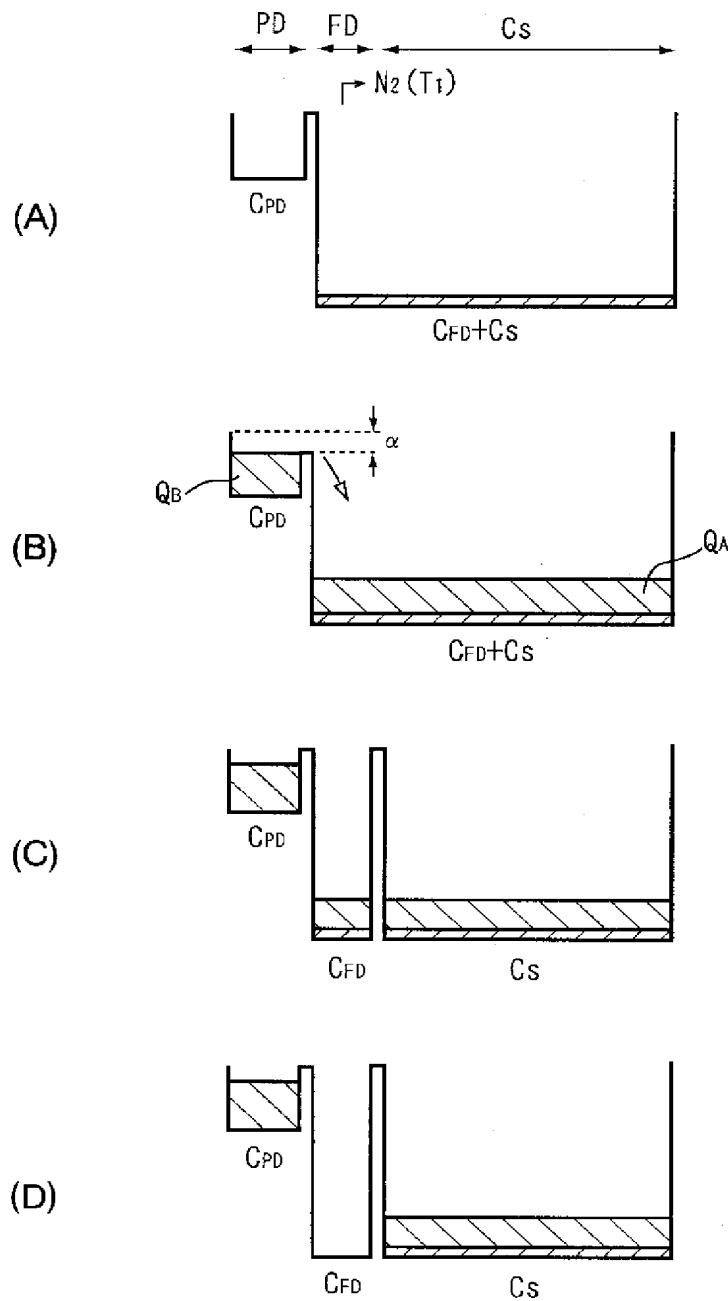
【図2】



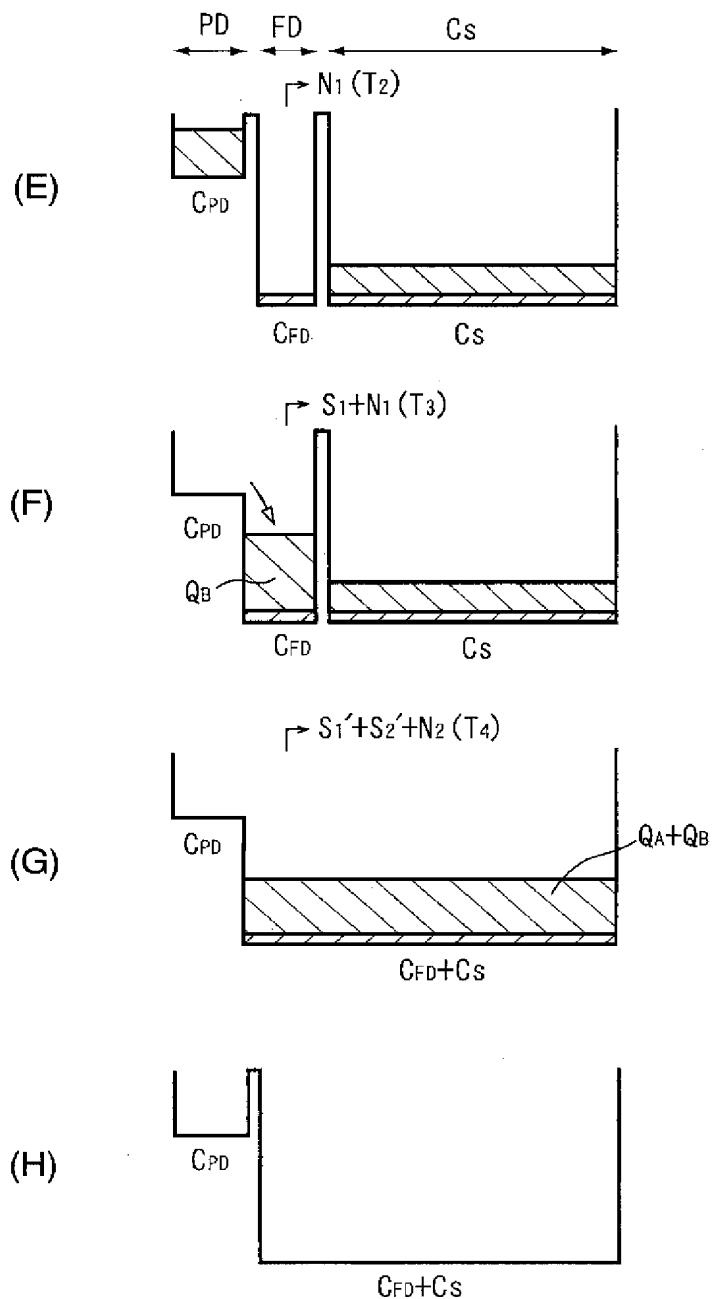
【図 3】



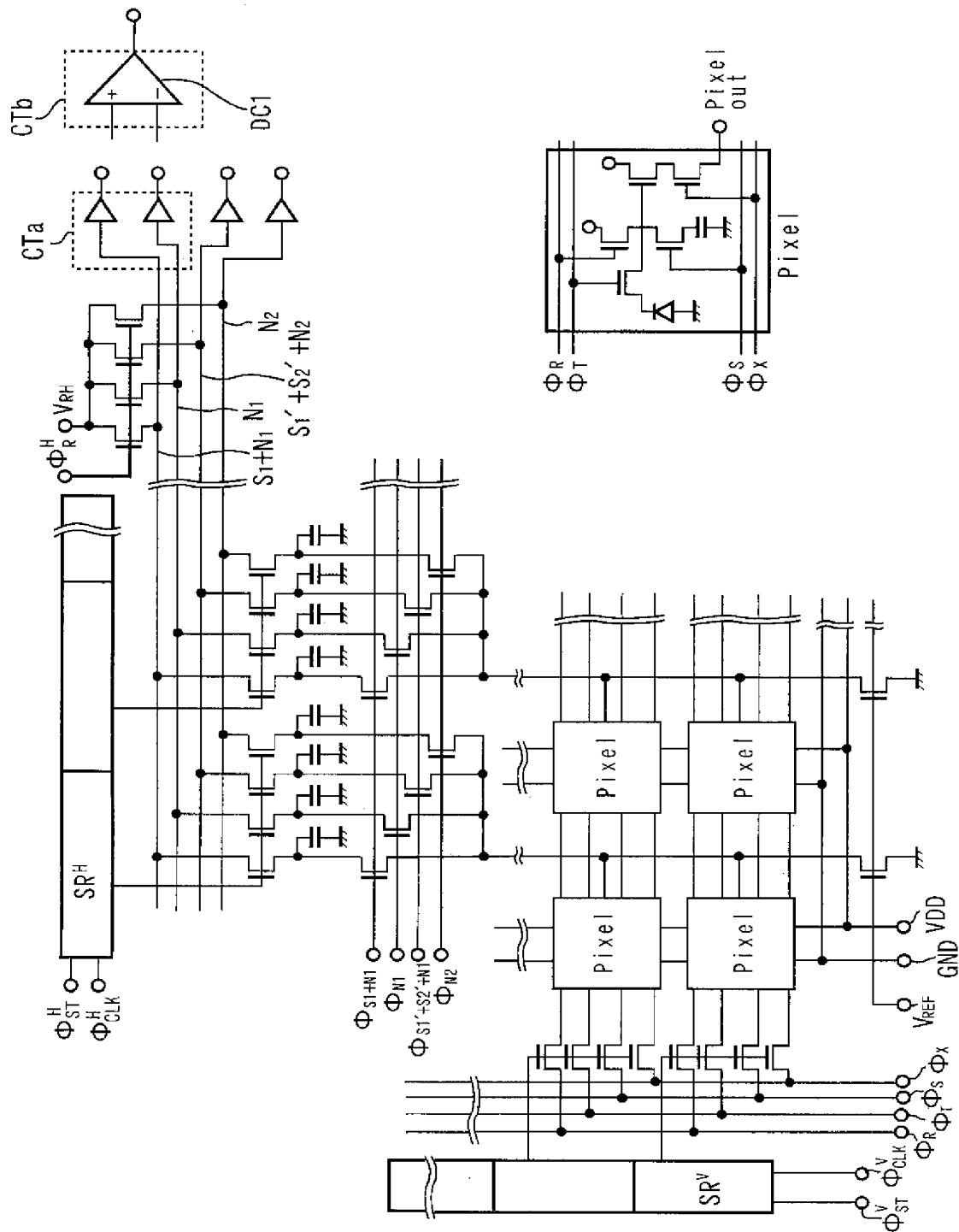
【図 4】



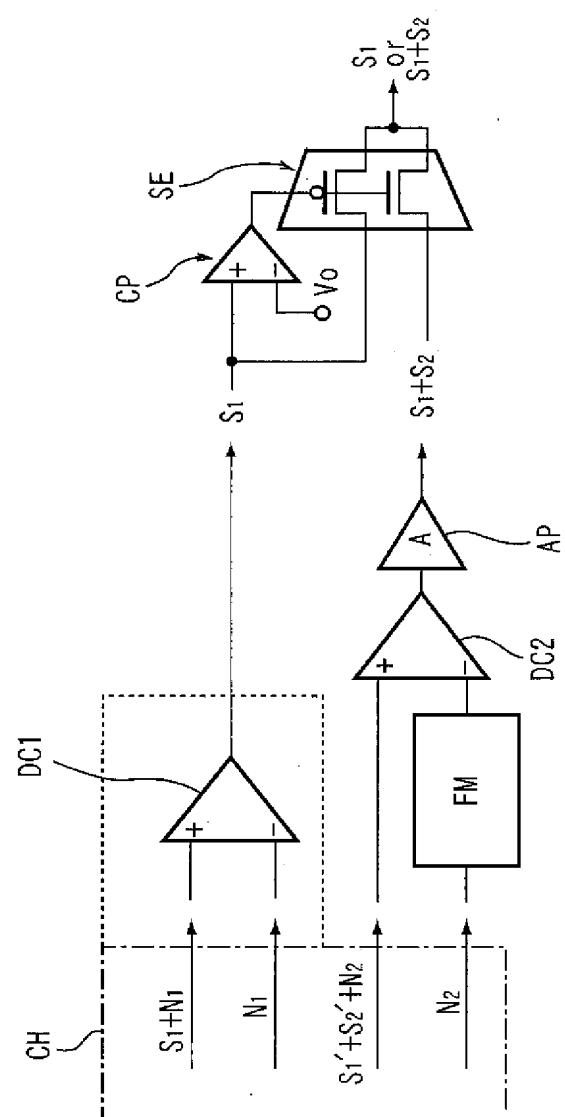
【図 5】



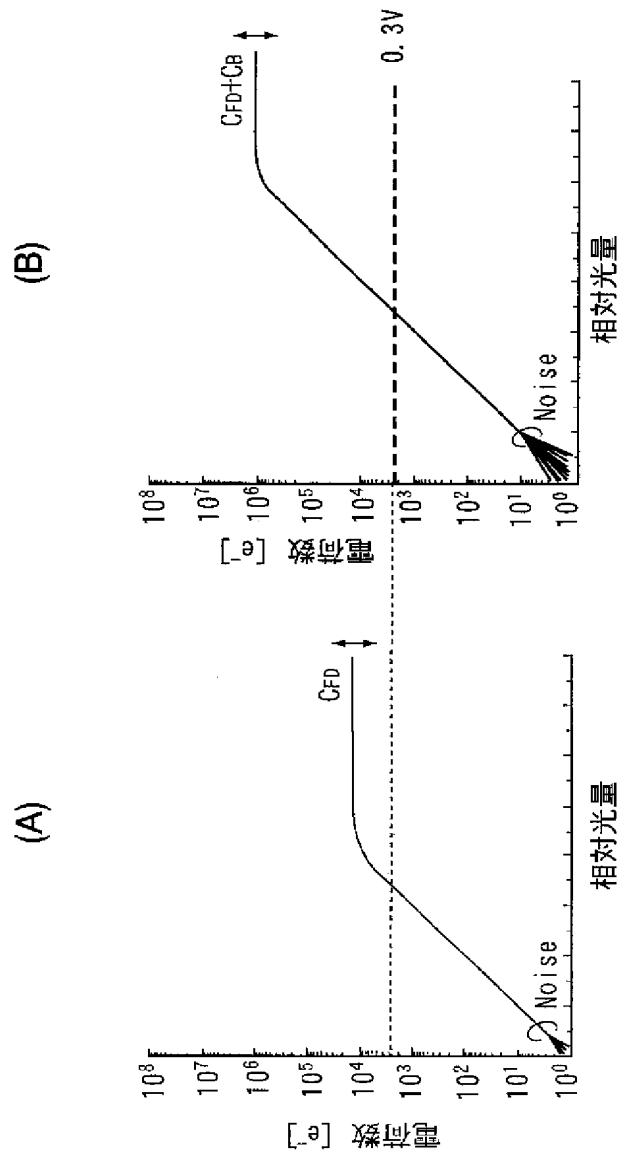
【図 6】



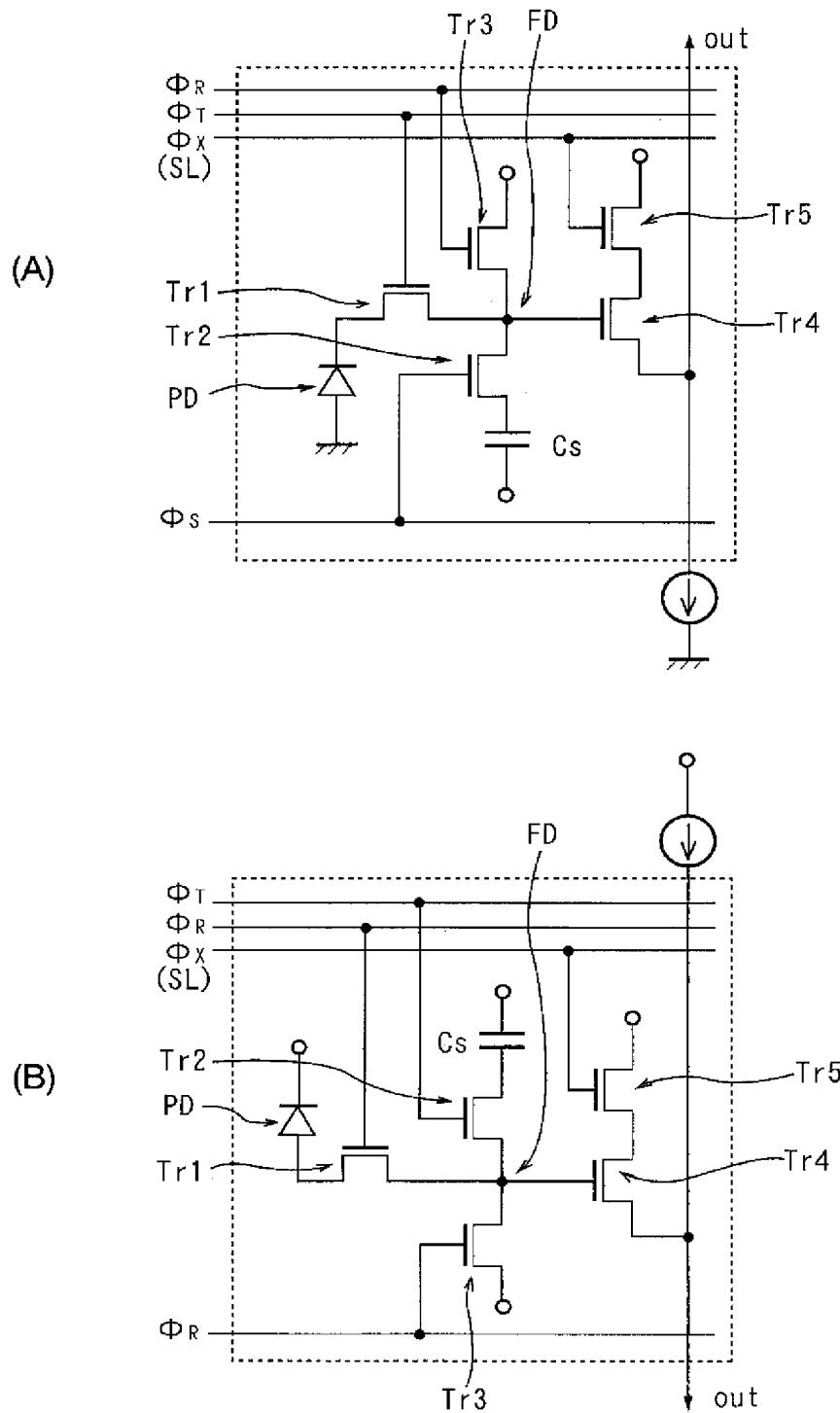
【図 7】



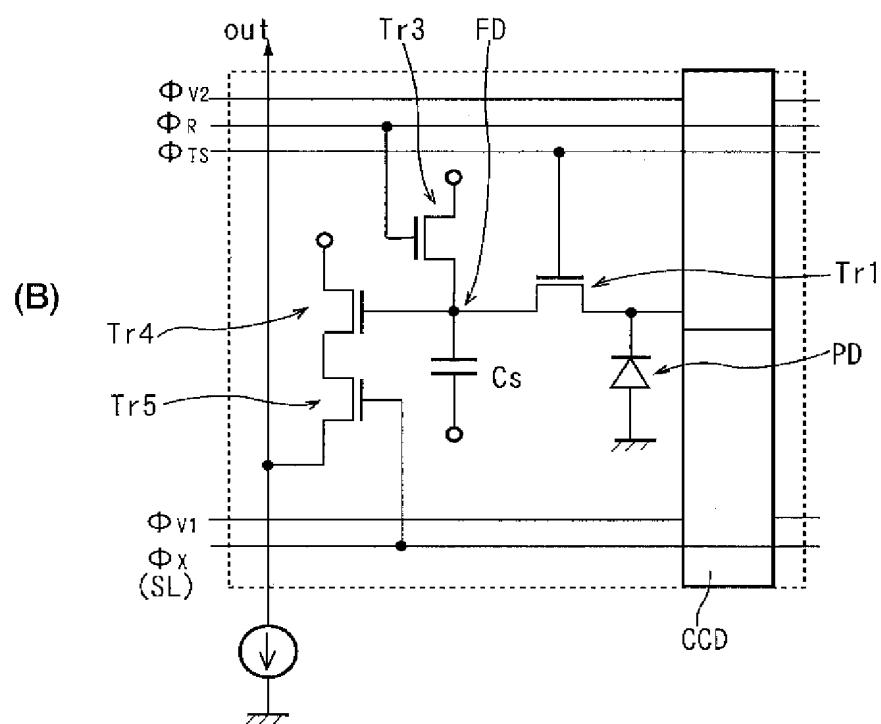
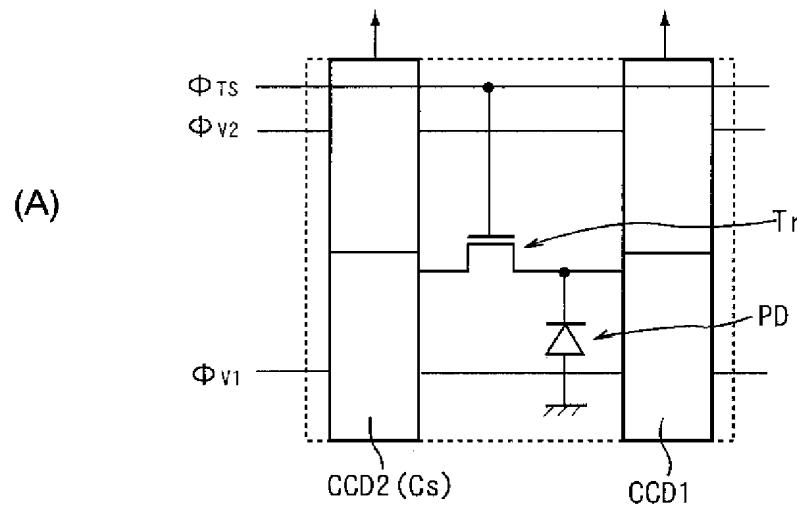
【図 8】



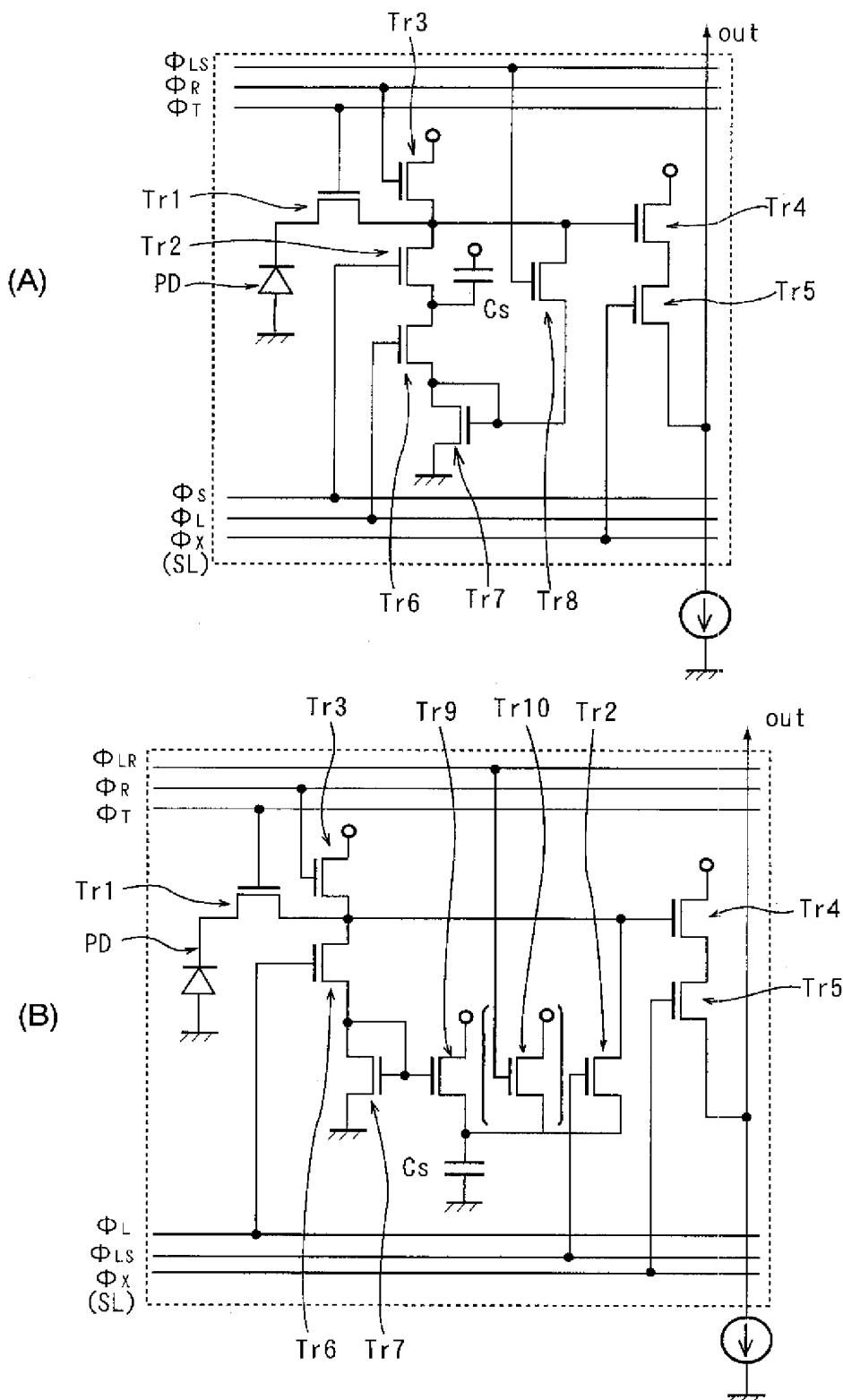
【図 9】



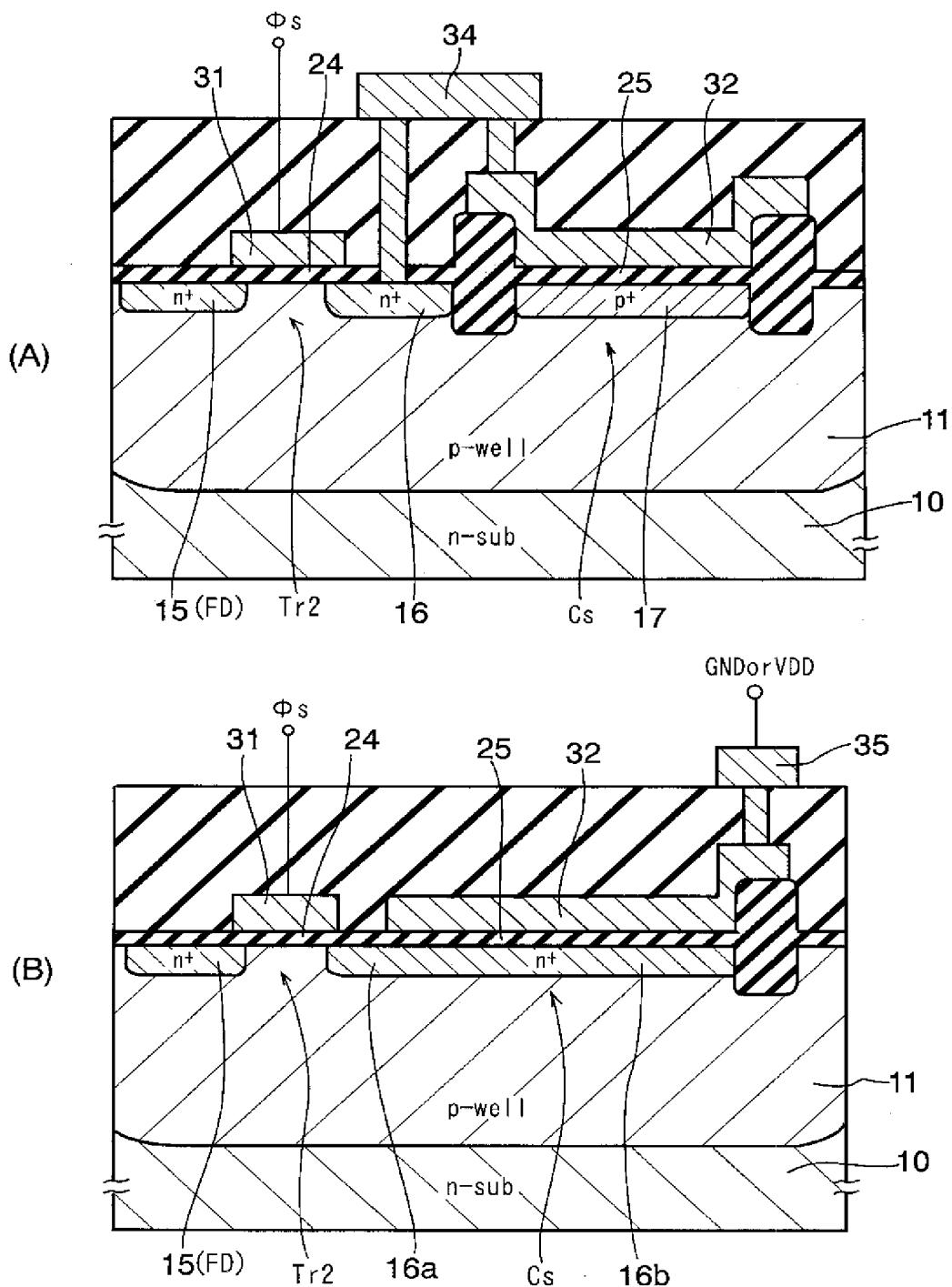
【図 10】



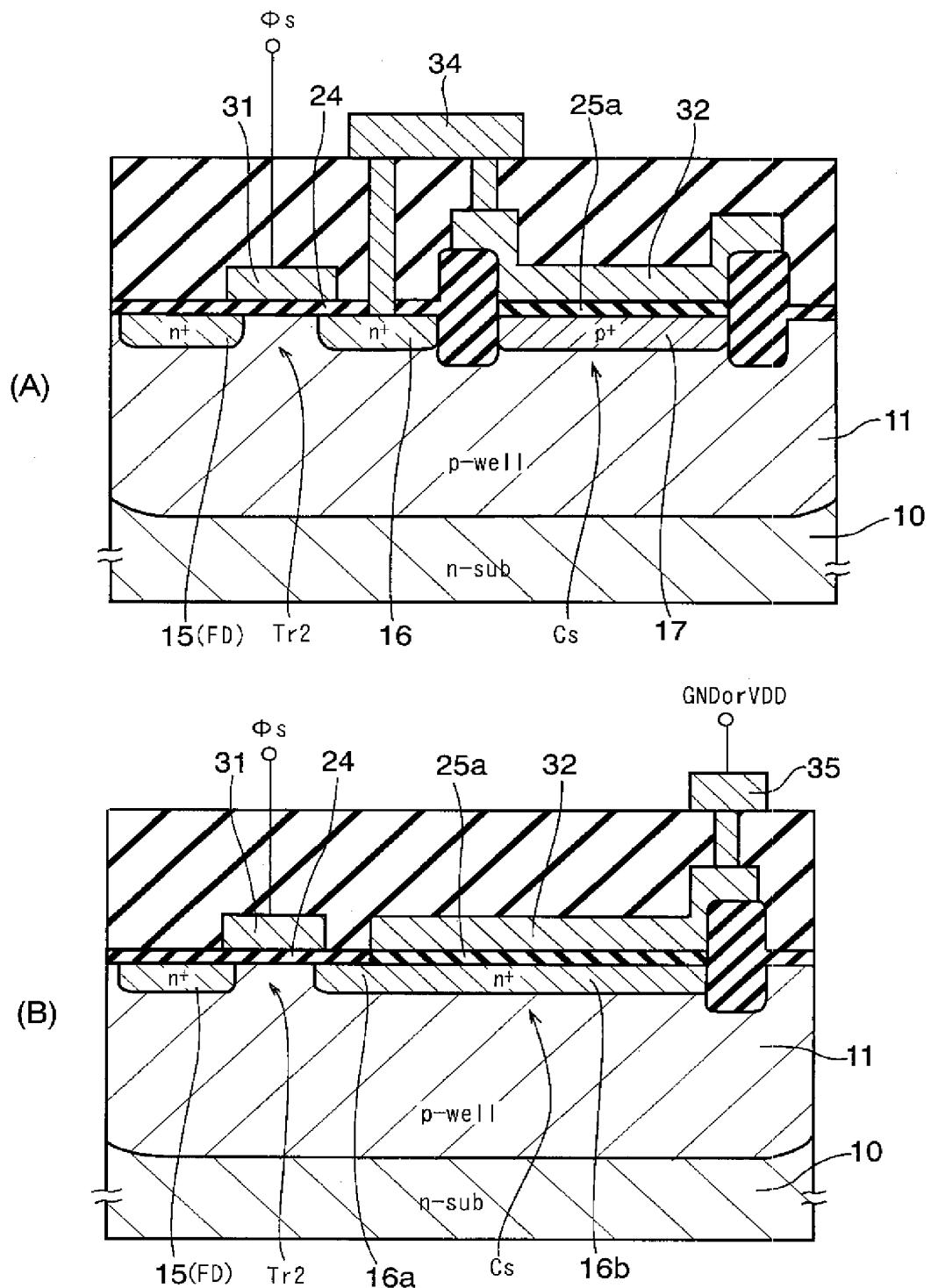
【図 1-1】



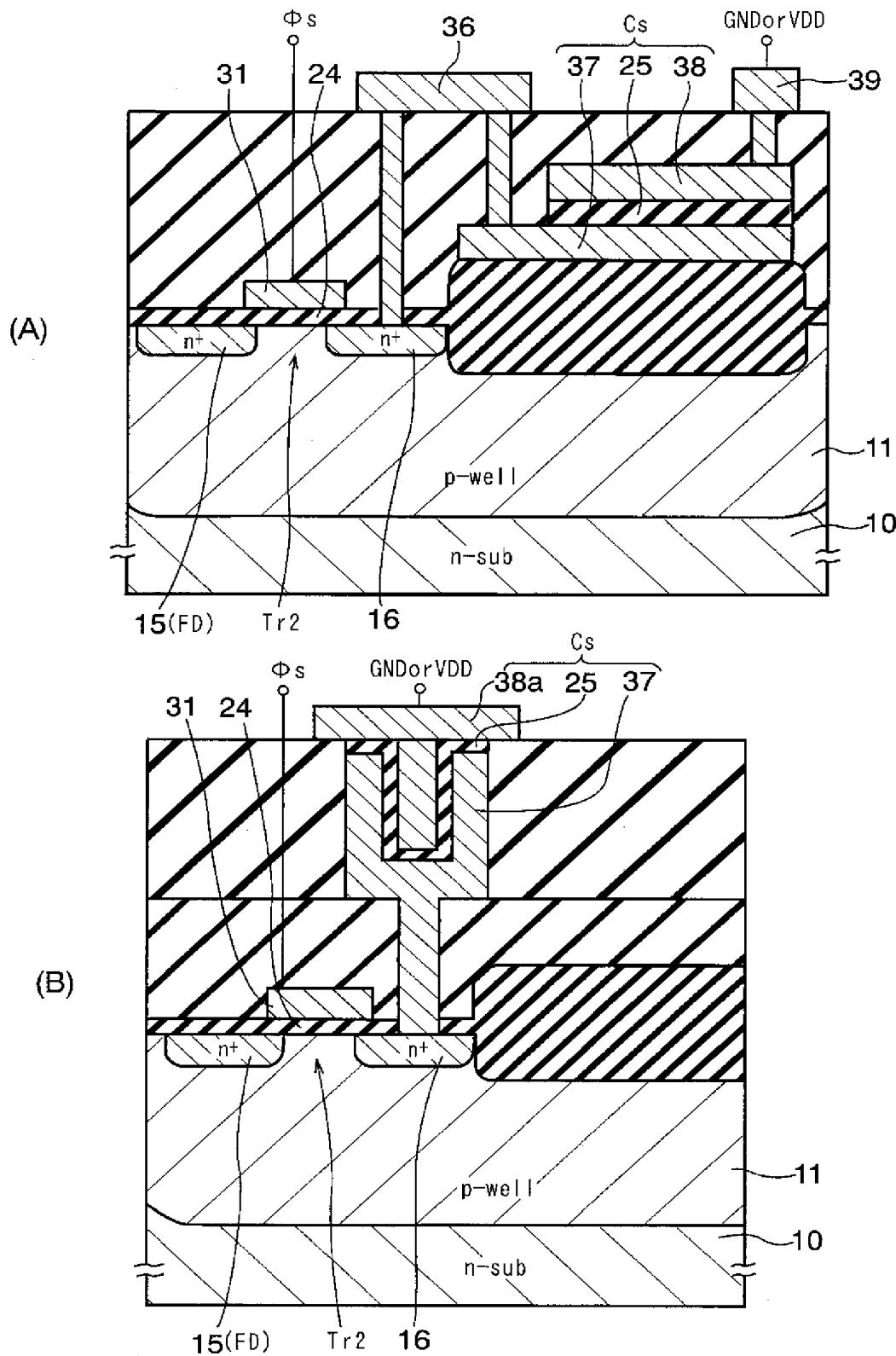
【図 12】



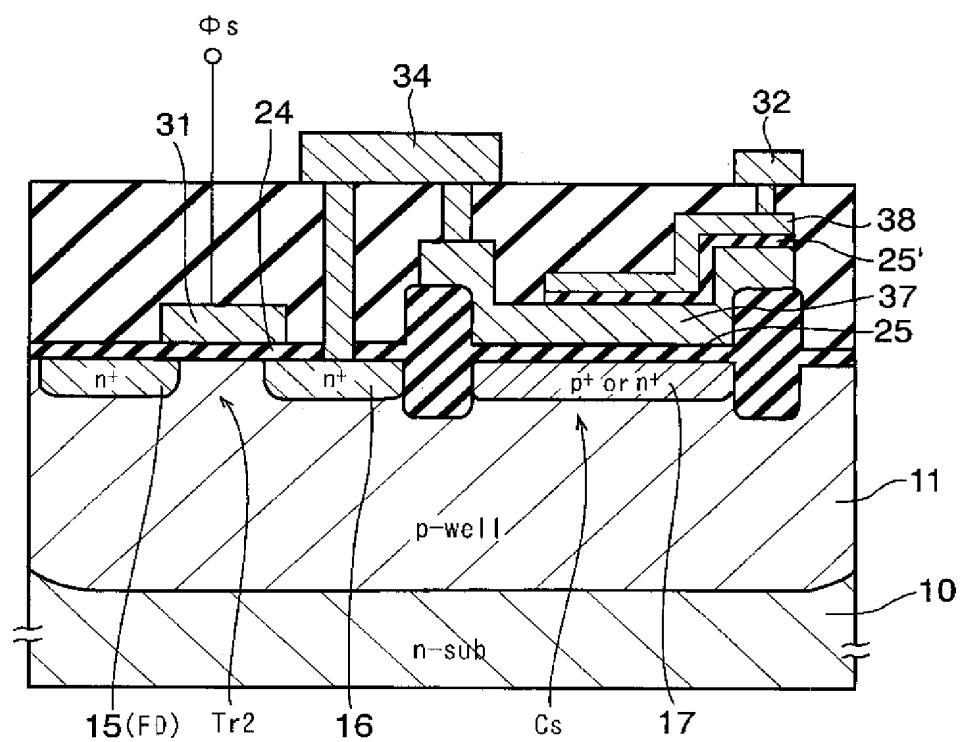
【図 13】



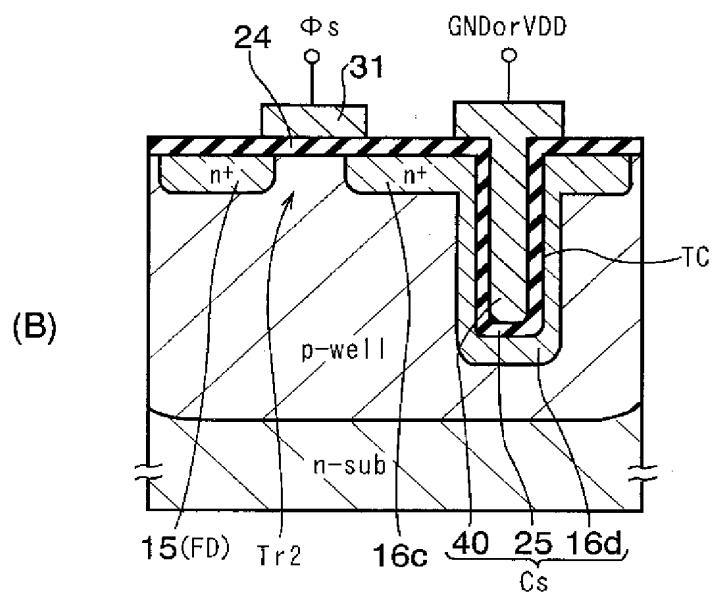
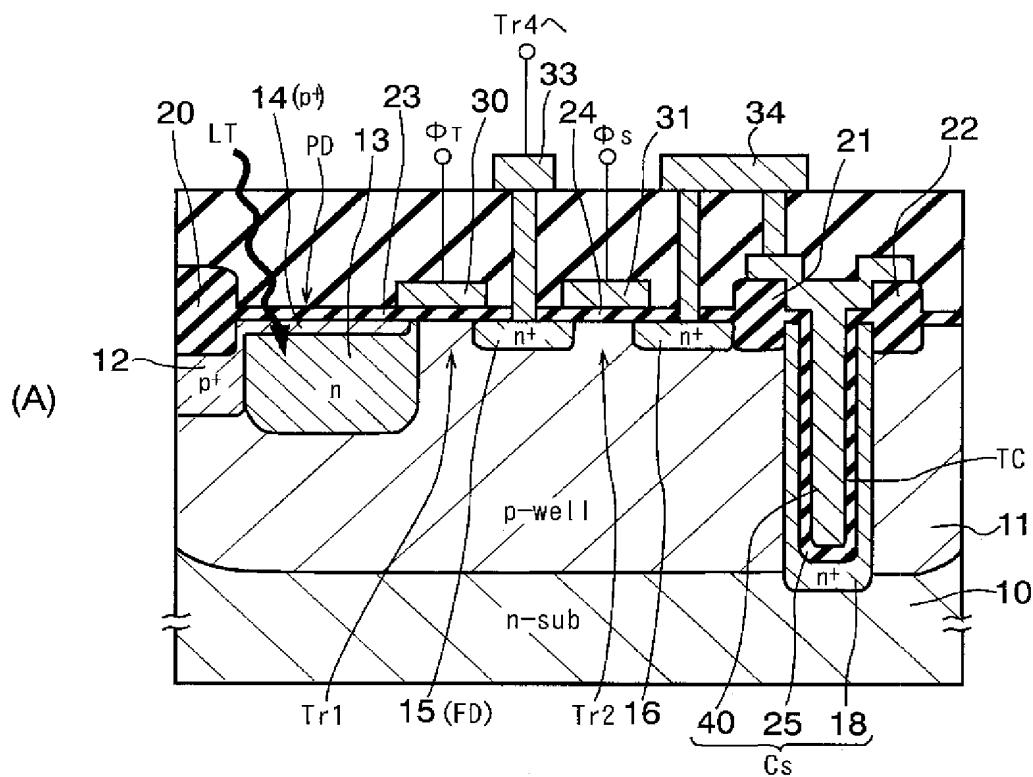
【図 14】



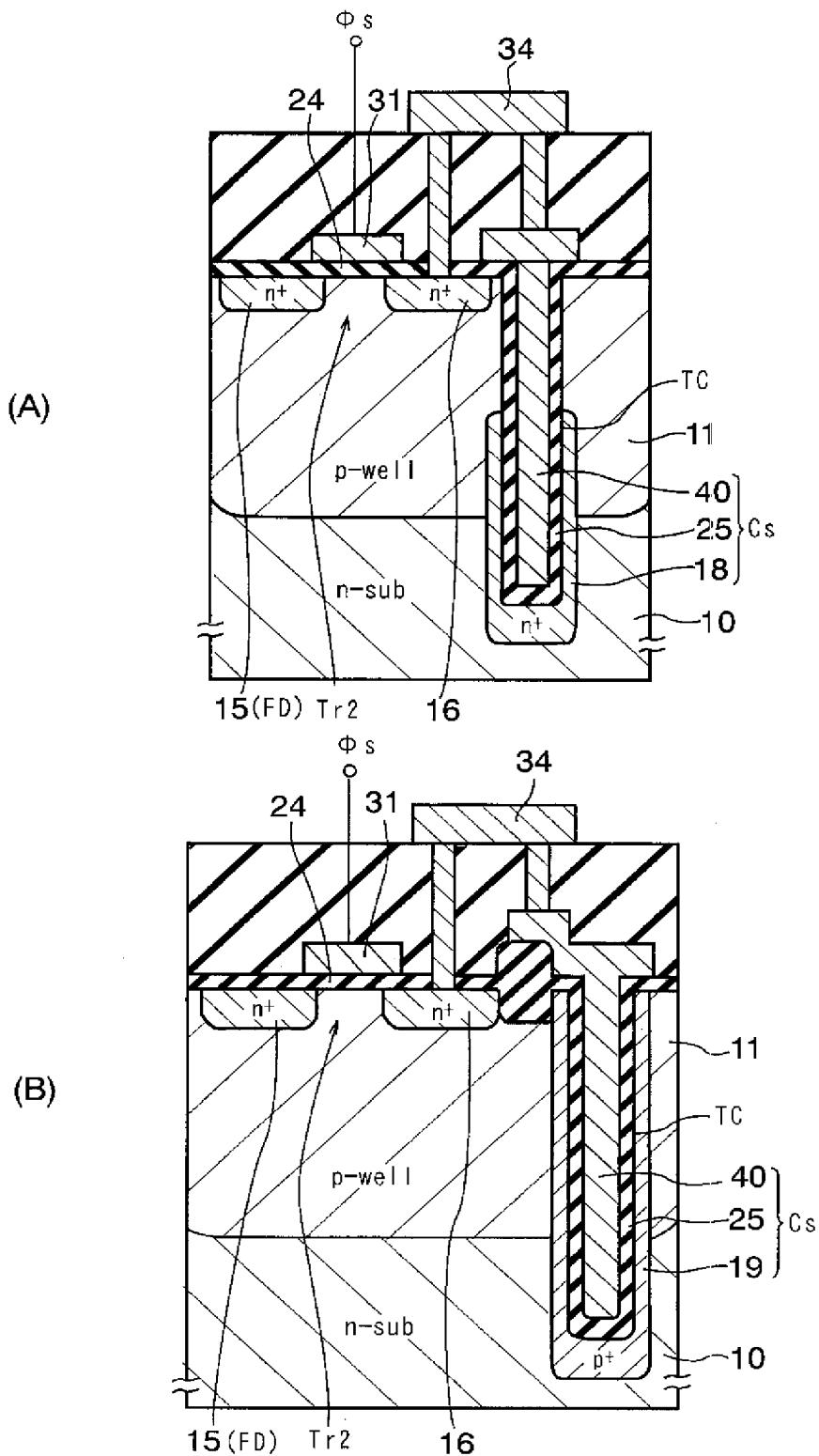
【図 15】



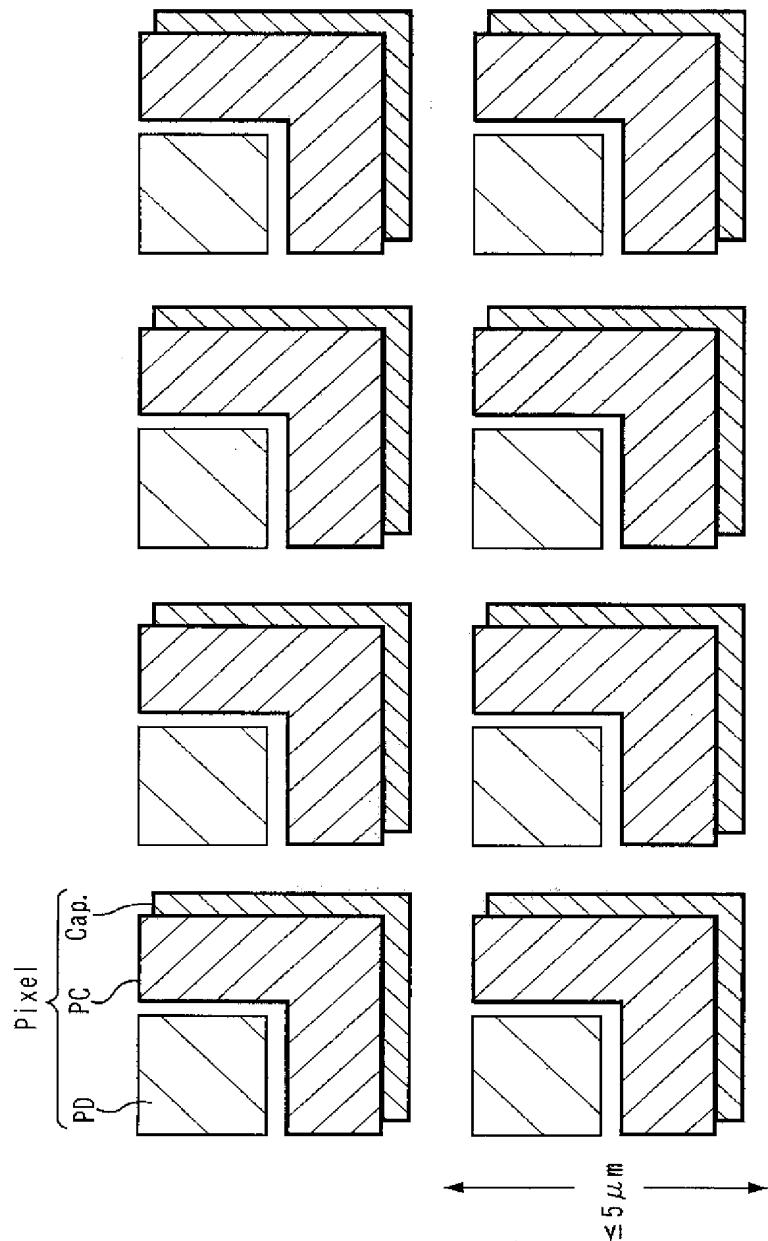
【図 1 6】



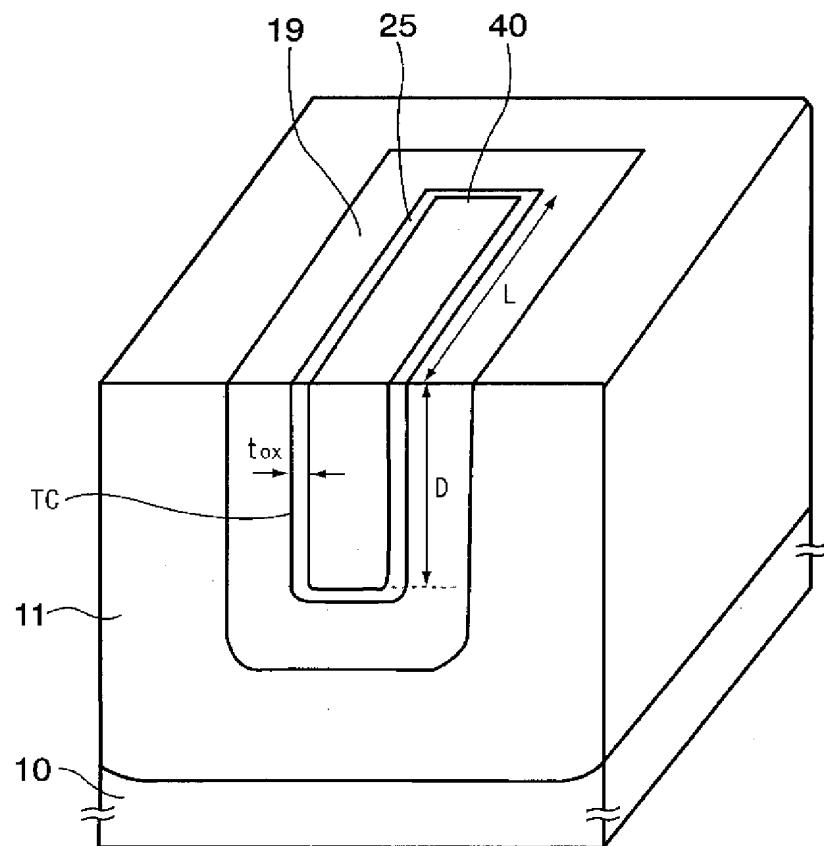
【図 17】



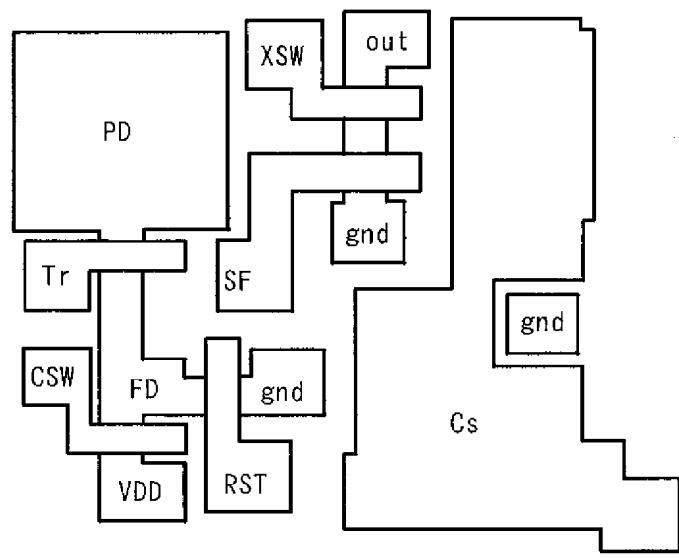
【図 18】



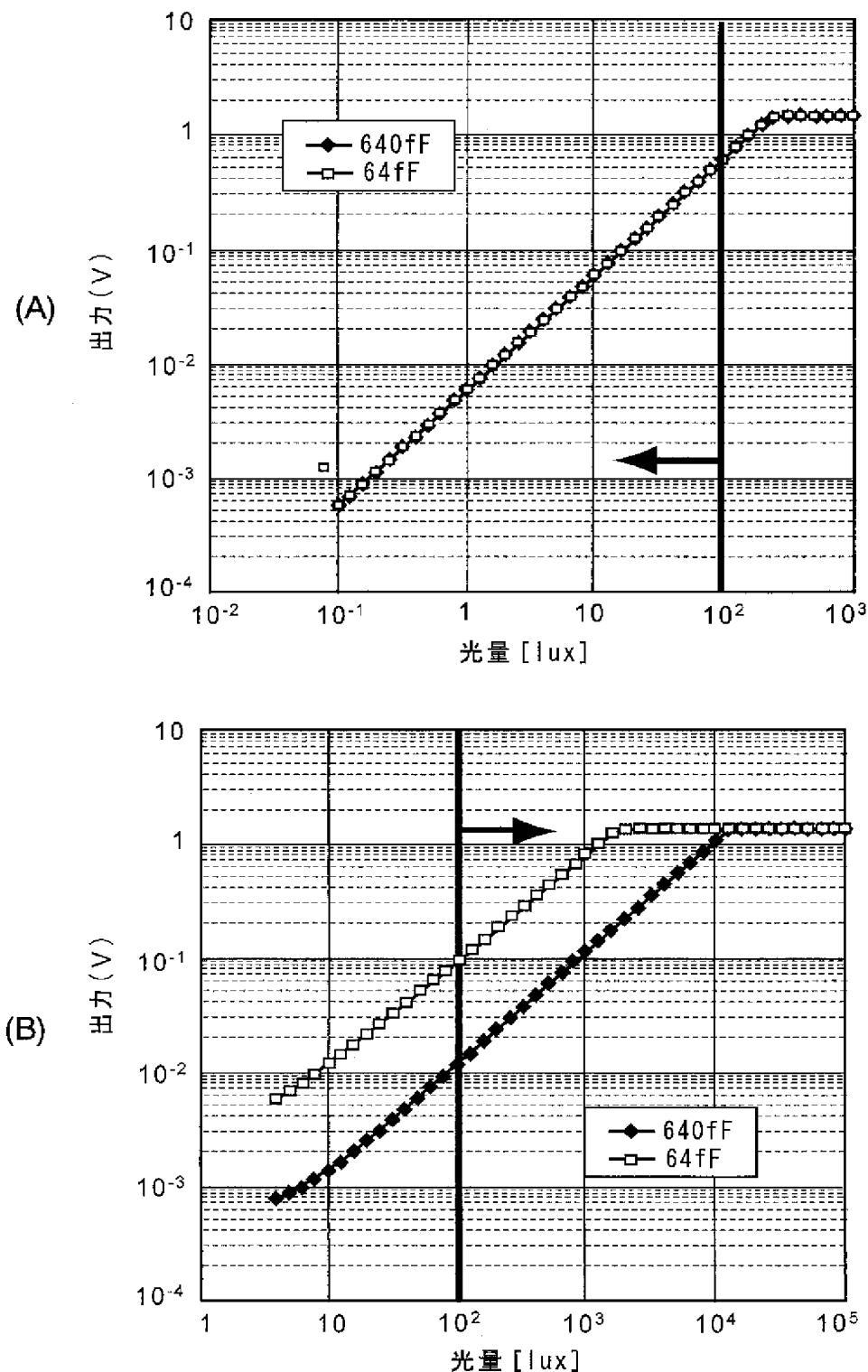
【図 1 9】



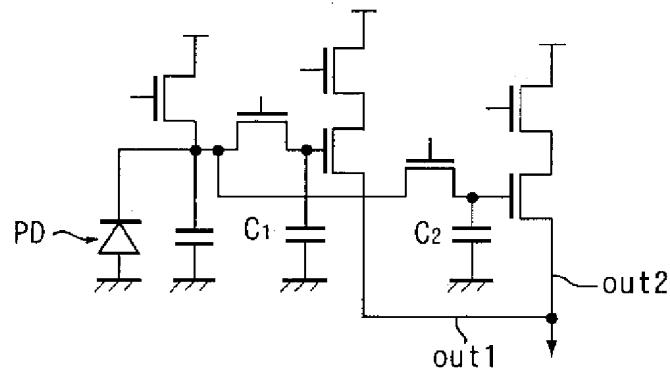
【図 20】



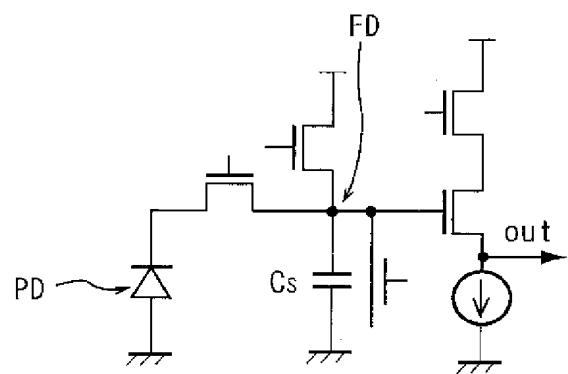
【図 2 1】



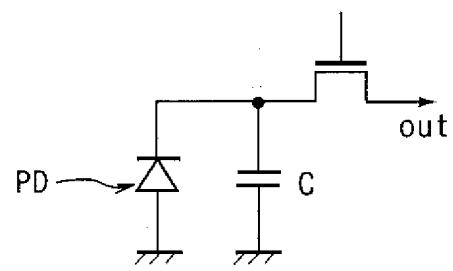
【図 2 2】



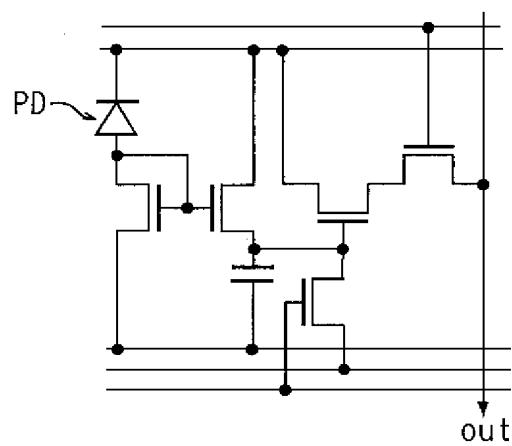
【図 2 3】



【図 2 4】



【図 2 5】



【書類名】要約書

【要約】

【課題】高感度高S/N比を維持したままで広ダイナミックレンジ化できる固体撮像装置、ラインセンサおよび光センサと、高感度高S/N比を維持したままで広ダイナミックレンジ化するための固体撮像装置の動作方法を提供する。

【解決手段】光を受光して光電荷を生成および蓄積するフォトダイオードPDと、光電荷を転送する転送トランジスタTr1と、少なくとも転送トランジスタTr1を介してフォトダイオードPDに接続して設けられ、蓄積動作時にフォトダイオードPDから溢れる光電荷を少なくとも転送トランジスタTr1を通じて蓄積する蓄積容量素子Csとを有する画素がアレイ状に複数個集積されてなる構成とする。

【選択図】図1

出願人履歴

3 9 0 0 2 0 2 4 8

19991119

住所変更

東京都新宿区西新宿六丁目24番1号

日本テキサス・インスツルメンツ株式会社

5 0 3 2 8 2 0 7 9

20030805

新規登録

宮城県仙台市青葉区川内元支倉35番地 川内住宅2-102

須川 成利